

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月25日
Date of Application:

出願番号 特願2003-121772
Application Number:

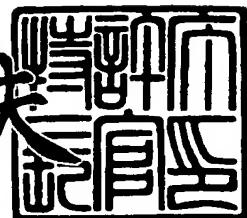
[ST. 10/C] : [JP2003-121772]

出願人 株式会社 液晶先端技術開発センター
Applicant(s):

2003年12月17日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 PE32-17A
【提出日】 平成15年 4月25日
【あて先】 特許庁長官 太田 信一郎 殿
【国際特許分類】 H01L 21/00
【発明の名称】 半導体装置およびその半製品ならびに半製品の製造方法
および製造装置
【請求項の数】 31
【発明者】
【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社液晶
先端技術開発センター内
【氏名】 平松 雅人
【発明者】
【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社液晶
先端技術開発センター内
【氏名】 木村 嘉伸
【発明者】
【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社液晶
先端技術開発センター内
【氏名】 小川 裕之
【発明者】
【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社液晶
先端技術開発センター内
【氏名】 十文字 正之
【発明者】
【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社液晶
先端技術開発センター内
【氏名】 山元 良高

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社液晶
先端技術開発センター内

【氏名】 松村 正清

【特許出願人】

【識別番号】 501286657

【氏名又は名称】 株式会社液晶先端技術開発センター

【代理人】

【識別番号】 100070024

【弁理士】

【氏名又は名称】 松永 宣行

【選任した代理人】

【識別番号】 100125081

【弁理士】

【氏名又は名称】 小合 宗一

【選任した代理人】

【識別番号】 100125092

【弁理士】

【氏名又は名称】 佐藤 玲太郎

【先の出願に基づく優先権主張】

【出願番号】 特願2002-346806

【出願日】 平成14年11月29日

【手数料の表示】

【予納台帳番号】 008877

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0304356

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその半製品ならびに半製品の製造方法および
製造装置

【特許請求の範囲】

【請求項 1】 基板と、該基板上の少なくとも一部に直接または間接的に設けられた半導体層と、該半導体層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられたゲート電極層とを含む半導体装置の半製品であって、

前記半導体層は、前記ゲート電極層の下方に位置する、結晶化された領域に形成されたチャネル領域と、このチャネル領域の側方に位置するソース領域およびドレイン領域とを有し、

前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む、半導体装置の半製品。

【請求項 2】 基板と、該基板上の少なくとも一部に直接または間接的に設けられたゲート電極層と、前記ゲート電極層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられた半導体層とを含む半導体装置の半製品であって、

前記半導体層は、前記ゲート電極層の上方に位置する、結晶化された領域に形成されたチャネル領域と、このチャネル領域の側方に位置するソース領域およびドレイン領域とを有し、

前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む、半導体装置の半製品。

【請求項 3】 前記チャネル領域の酸素原子の個数は 1 cm^3 当たり 5×10^{17} 個以下であり、前記チャネル領域の炭素原子の個数は 1 cm^3 当たり 5×10^{17} 個以下である、請求項 1 または 2 に記載の半製品。

【請求項 4】 前記チャネル領域は、さらに、 1 cm^3 当たり 1×10^{17} 個以下の金属原子を含む、請求項 1 から 3 のいずれか 1 項に記載の半製品。

【請求項 5】 前記チャネル領域の金属原子の個数は 1 cm^3 当たり 5×10^{16} 個以下である、請求項 4 に記載の半製品。

【請求項 6】 前記チャネル領域は、前記ソース領域から前記ドレイン領域に向かう方向における前記チャネル領域の長さ以上の粒径を有する单一の結晶粒

内に位置する、請求項 1 から 5 のいずれか 1 項に記載の半製品。

【請求項 7】 基板と、該基板上の少なくとも一部に直接または間接的に設けられた半導体層と、該半導体層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられたゲート電極層とを含む半導体装置であって、

前記半導体層は、前記ゲート電極層の下方に位置する、結晶化された領域に形成されたチャネル領域と、このチャネル領域の側方に位置するソース領域およびドレイン領域とを有し、

前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む、半導体装置。

【請求項 8】 基板と、該基板上の少なくとも一部に直接または間接的に設けられたゲート電極層と、前記ゲート電極層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられた半導体層とを含む半導体装置であって、

前記半導体層は、前記ゲート電極層の上方に位置する、結晶化された領域に形成されたチャネル領域と、このチャネル領域の側方に位置するソース領域およびドレイン領域とを有し、

前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む、半導体装置。

【請求項 9】 前記チャネル領域の酸素原子の個数は 1 cm^3 当たり 5×10^{17} 個以下であり、前記チャネル領域の炭素原子の個数は 1 cm^3 当たり 5×10^{17} 個以下である、請求項 7 または 8 に記載の半導体装置。

【請求項 10】 前記チャネル領域は、さらに、 1 cm^3 当たり 1×10^{17} 個以下の金属原子を含む、請求項 7 から 9 のいずれか 1 項に記載の半導体装置。

【請求項 11】 前記チャネル領域の金属原子の個数は 1 cm^3 当たり 5×10^{16} 個以下である、請求項 10 に記載の半導体装置。

【請求項 12】 前記チャネル領域は、前記ソース領域から前記ドレイン領域に向かう方向における前記チャネル領域の長さ以上の粒径を有する单一の結晶粒内に位置する、請求項 7 から 11 のいずれか 1 項に記載の半導体装置。

【請求項 13】 半導体層形成室内に配置された基板上の少なくとも一部に

直接または間接的に半導体層を形成すること、前記半導体層の少なくとも一部の領域を結晶化すること、前記結晶化された領域上にゲート絶縁層を形成すること、前記ゲート絶縁層上にゲート電極層を形成すること、および前記ゲート電極層の下方に位置する前記結晶化された領域の少なくとも一部をチャネル領域に設定し、前記半導体層内の前記チャネル領域の両側にソース領域およびドレイン領域を形成することを含む、半導体装置の半製品の製造方法であって、前記半導体層を形成する前に、前記半導体層形成室の内壁にフッ素系ガスでエッチング表面処理を施し、その後 $50\text{ nm} \sim 1000\text{ nm}$ の厚さを有する非晶質半導体層を前記内壁に形成することを含む、半導体装置の半製品の製造方法。

【請求項14】 半導体層形成室内に配置された基板上の少なくとも一部に直接または間接的にゲート電極層を形成すること、前記ゲート電極層上にゲート絶縁層を形成すること、前記ゲート絶縁層上に半導体層を形成すること、前記半導体層の少なくとも一部の領域を結晶化すること、および前記ゲート電極層の上方に位置する前記結晶化された領域の少なくとも一部をチャネル領域に設定し、前記半導体層内の前記チャネル領域の両側にソース領域およびドレイン領域を形成することを含む、半導体装置の半製品の製造方法であって、前記半導体層を形成する前に、前記半導体層形成室の内壁にフッ素系ガスでエッチング表面処理を施し、その後 $50\text{ nm} \sim 1000\text{ nm}$ の厚さを有する非晶質半導体層を前記内壁に形成することを含む、半導体装置の半製品の製造方法。

【請求項15】 さらに、前記内壁に $100^{\circ}\text{C} \sim 150^{\circ}\text{C}$ の温度でのベーキング処理を施すことを含む、請求項13または14に記載の方法。

【請求項16】 前記半導体層の少なくとも一部の領域を結晶化することは、前記半導体層の前記少なくとも一部に光を照射することを含む、請求項13から15のいずれか1項に記載の方法。

【請求項17】 前記半導体層の少なくとも一部の領域を結晶化することは、前記半導体層の少なくとも一部の領域を加熱することを含み、前記加熱は前記領域内の各位置における加熱時間が10秒以下であるように行う、請求項13から15のいずれか1項に記載の方法。

【請求項18】 前記加熱は、その時間が1秒以下であるように行う、請求

項 17 に記載の方法。

【請求項 19】 基板と、ソース領域、ドレイン領域および結晶化された領域に形成されたチャネル領域を有する半導体層と、ゲート絶縁層と、ゲート電極層とを含む半導体装置の半製品の製造装置であって、アルミニウム含有金属からなる内壁を有する、前記半導体層を形成するための半導体層形成室を含む、半導体装置の半製品の製造装置。

【請求項 20】 前記金属はアルミニウムマグネシウム系材料からなる、請求項 19 に記載の装置。

【請求項 21】 前記金属はアルミニウムマグネシウムシリコン系材料からなる、請求項 19 に記載の装置。

【請求項 22】 前記金属はアルミニウム銅系材料からなる、請求項 19 に記載の装置。

【請求項 23】 前記内壁の表面粗さが 6.4 マイクロメートル以下である、請求項 19 から 22 のいずれか 1 項に記載の装置。

【請求項 24】 前記内壁はフッ素原子を含んでおり、前記内壁面に、50 nm～1000 nm の厚さを有する非晶質の半導体層が形成されている、請求項 19 から 23 のいずれか 1 項に記載の装置。

【請求項 25】 前記半導体層形成室は、耐熱性を有するフッ素系ゴムからなる O リングを介して外部から遮断されている、請求項 19 から 24 のいずれか 1 項に記載の装置。

【請求項 26】 前記半導体層形成室は、耐熱性を有するフッ素系ゴムからなる二重の O リングを介して外部から遮断されている、請求項 19 から 25 のいずれか 1 項に記載の装置。

【請求項 27】 さらに、前記二重の O リングの該 2 つの O リング間の隙間内の気体を取り除くための排気装置を含む、請求項 26 に記載の装置。

【請求項 28】 基板と、該基板上の少なくとも一部に直接または間接的に設けられた半導体層と、該半導体層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられたゲート電極層とを含む半導体装置であって、

前記半導体層は、前記ゲート電極層の下方に位置する、結晶化された領域に形

成されたチャネル領域と、このチャネル領域の側方に位置するソース領域およびドレイン領域とを有し、

前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子を含み、積層欠陥密度が 1 cm^3 当たり 1×10^6 以下であることを特徴とする、半導体装置。

【請求項 29】 基板と、該基板上の少なくとも一部に直接または間接的に設けられたゲート電極層と、前記ゲート電極層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられた半導体層とを含む半導体装置であって、

前記半導体層は、前記ゲート電極層の上方に位置する、結晶化された領域に形成されたチャネル領域と、このチャネル領域の側方に位置するソース領域およびドレイン領域とを有し、

前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子を含み、積層欠陥密度が 1 cm^3 当たり 1×10^6 以下であることを特徴とする、半導体装置。

【請求項 30】 半導体層形成室内に配置された基板上の少なくとも一部に直接または間接的に半導体層を形成すること、前記半導体層上にゲート絶縁層を形成すること、前記半導体層の少なくとも一部の領域を結晶化すること、前記ゲート絶縁層上にゲート電極層を形成すること、および前記ゲート電極層の下方に位置する前記結晶化された領域の少なくとも一部をチャネル領域に設定し、前記半導体層内の前記チャネル領域の両側にソース領域およびドレイン領域を形成することを含む、半導体装置の製造方法であって、前記半導体層を形成する前に、前記半導体層形成室の内壁にフッ素系ガスでエッチング表面処理を施し、その後 $50\text{ nm} \sim 1000\text{ nm}$ の厚さを有する非晶質半導体層を前記内壁に形成することを含む、半導体装置の製造方法。

【請求項 31】 半導体層形成室内に配置された基板上の少なくとも一部に直接または間接的にゲート電極層を形成すること、前記ゲート電極層上にゲート絶縁層を形成すること、前記ゲート絶縁層上に半導体層を形成すること、前記半導体層上に絶縁層を形成すること、前記半導体層の少なくとも一部の領域を結晶化すること、および前記ゲート電極層の上方に位置する前記結晶化された領域の

少なくとも一部をチャネル領域に設定し、前記半導体層内の前記チャネル領域の両側にソース領域およびドレイン領域を形成することを含む、半導体装置の製造方法であって、前記半導体層を形成する前に、前記半導体層形成室の内壁にフッ素系ガスでエッチング表面処理を施し、その後50nm～1000nmの厚さを有する非晶質半導体層を前記内壁に形成することを含む、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその半製品ならびに半製品の製造方法および製造装置に関する。

【0002】

【従来の技術】

半導体装置として、液晶表示装置の画素部用スイッチング素子に用いられる多結晶シリコン薄膜トランジスタのような、複数の結晶粒を含む多結晶半導体薄膜に形成された薄膜トランジスタがある。

【0003】

薄膜トランジスタでは、その半導体層の一部が、電子や正孔のようなキャリアが移動するための領域すなわちチャネル領域に用いられる。このチャネル領域は1以上の結晶粒を含み、非晶質の場合と比較してキャリアが10倍～100倍程度速く移動することができるので、前記トランジスタはスイッチング素子として電気的に高速に動作することができ、回路装置における演算処理時間が短く、画素部のスイッチング速度を高速化できる利点がある。

【0004】

特に、エキシマレーザ結晶化法を用いて製造された多結晶半導体薄膜トランジスタの半導体層は大きな粒径を有する結晶粒を含むので結晶粒界の数が少なく、結晶粒界によるキャリアの移動阻害を最小限にすることができます。

【0005】

しかし、従来の多結晶半導体薄膜トランジスタを液晶表示装置に用いる場合に

おける該トランジスタの構造およびその製造方法に、解決すべき問題がある。この間の事情を、多結晶シリコン薄膜トランジスタの製造方法、特に、従来より広く用いられているエキシマレーザ結晶化法による多結晶シリコン薄膜トランジスタの製造方法を例にあげて説明する。

【0006】

図20 (a) に示すように、ガラス基板101上に下地絶縁層102と非晶質シリコン層103とをこの順に形成後、非晶質シリコン層103に脱水素処理を施す。図20 (b) に示すように、ガラス基板101を矢印105の方向に走査させながら非晶質シリコン層103にエキシマレーザ光を照射する。レーザ光が照射された非晶質シリコン層103は、図20 (c) に示すように、多結晶シリコン層106になる。多結晶シリコン層10の薄膜トランジスタを形成するための予め定められた領域を部分的に除去後、図20 (d) および (e) に示すように、多結晶シリコン層106上にゲート絶縁層107とゲート電極層110とを形成する。その後、ゲート電極層110をマスクにして多結晶シリコン層106の一部にn型またはp型の不純物をゲート絶縁層107を通して注入し、多結晶シリコン層106の一部にソース領域108およびドレイン領域109を形成する。

【0007】

次に、図20 (f) を参照するに、層間絶縁層111を形成後、加熱処理によりソース領域108およびドレイン領域109内の不純物の活性化を行い、ソース領域108およびドレイン領域109の各領域の上方に位置するゲート絶縁層107および層間絶縁層111の部分にコンタクトホールを形成し、ソース領域108およびドレイン領域109との電気的な接続のためのソース電極層112およびドレイン電極層113を形成し、電気的信号の伝達のための金属配線層114を形成する。

【0008】

これにより、ソース領域108とドレイン領域109との間のチャネル領域115を流れる電流がゲート電極層110への印加電圧すなわちゲート電圧によって制御される多結晶シリコン薄膜トランジスタが得られる（例えば、特許文献1

を参照。)。

【0009】

【特許文献1】

特開2002-289865号公報（第4～5頁、図1）

【0010】

【発明が解決しようとする課題】

このように、エキシマレーザ結晶化法によれば、大きな粒径を有する結晶粒を含む半導体層が形成され、スイッチング素子として電気的に高速動作が可能な薄膜トランジスタが得られる。しかし、一方、大きな粒径を有する結晶粒による有利な効果を減じさせるような、以下の問題がある。

【0011】

(1) チャネル領域には不純物としての元素が含まれ、この元素が原子構造的な欠陥を生じさせ、電気伝導を生起させるキャリアに対してトラップとして作用し、チャネル領域内のキャリアの移動が阻害される。これは、半導体層を形成するための従来の層形成装置においては、該装置の層形成室内に酸素や炭素のような、大気中に存在する元素（軽元素）が残留し、これらの元素が半導体層の形成中に半導体層に混入するからである。

【0012】

(2) 半導体層の形成中に、層形成室の内壁材料の成分である金属元素が物理的または化学的に分離または遊離して層形成室内に浮遊しており、この元素も半導体の形成中に半導体層に混入し、半導体の電気的特性そのものが所有する特性へと変わる。このような金属元素として、クロム、カリウム、ナトリウム、アルミニウム、カルシウム、チタン、亜鉛、コバルト、銅、鉄、ニッケル、モリブデン、マンガン、バナジウム、タンクステン等がある。

【0013】

(3) ガラス基板の耐熱温度が高々600℃程度であり、またアニールレスガラスやプラスチック基板の耐熱温度がさらに低いことから、前記軽元素や金属元素を半導体層から除去するための高温でのゲッタリング処理を適用することができない。

【0014】

前記不純物となる元素に関して、特許文献1には、酸素、窒素などの個数を 1 cm^3 当たり 5×10^{18} 個以下、好ましくは 1 cm^3 当たり 1×10^{18} 個に低減させておくと良いことが開示されている。しかし、特許文献1は、単一の軽元素について開示するに留まり、複数の軽元素と半導体層の原子構造上の微小欠陥については考慮されていない。

【0015】

本発明の目的は、電気的な特性が向上された半導体装置および半導体装置の電気的な特性を向上させる半導体装置の半製品ならびに半製品の製造方法および製造装置を提供することにある。

【0016】

【課題を解決するための手段、作用及び効果】

本発明に係る半導体装置の半製品は、基板と、該基板上の少なくとも一部に直接または間接的に設けられた半導体層と、該半導体層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられたゲート電極層とを含む半導体装置の半製品であって、前記半導体層は、前記ゲート電極層の下方に位置する、結晶化された領域に形成されたチャネル領域と、このチャネル領域の側方に位置するソース領域およびドレイン領域とを有し、前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む。

【0017】

本発明に係る、他の半導体装置の半製品は、基板と、該基板上の少なくとも一部に直接または間接的に設けられたゲート電極層と、前記ゲート電極層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられた半導体層とを含む半導体装置の半製品であって、前記半導体層は、前記ゲート電極層の上方に位置する、結晶化された領域に形成されたチャネル領域と、このチャネル領域の側方に位置するソース領域およびドレイン領域とを有し、前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む。

【0018】

本発明に係る半導体装置の半製品によれば、チャネル領域中の炭素原子および酸素原子の個数がいずれも 1 cm^3 当たり 1×10^{18} 個以下であることから、キャリアの移動を阻害する原子構造上の微小欠陥が極めて少ない。

【0019】

このため、キャリアがチャネル領域内を高速に移動することができ、スイッチング素子として電気的に高速動作が可能である半導体装置を得ることができ、これにより、半導体装置の電気的な特性を向上させることができる。

【0020】

好ましくは、前記チャネル領域の酸素原子の個数は 1 cm^3 当たり 5×10^{17} 個以下であり、前記チャネル領域の炭素原子の個数は 1 cm^3 当たり 5×10^{17} 個以下である。これにより、さらに不純物元素の少ない高品質の半導体層が形成され、より優れた電気的な特性を有する半導体装置の半製品とすることができる。

【0021】

前記チャネル領域は、さらに、 1 cm^3 当たり 1×10^{17} 個以下の金属原子を含むものとすることができます。これにより、酸素原子、炭素原子によって生じた微小欠陥に金属原子がトラップされ、半導体層の抵抗率の低下の要因となる金属酸化物の半導体層中での生成が抑制され、より優れた電気的な特性を有する半導体装置の半製品とすることができる。

【0022】

好ましくは、前記チャネル領域の金属原子の個数は 1 cm^3 当たり 5×10^{16} 個以下である。これにより、さらに金属酸化物の生成が抑制され、より優れた電気的な特性を有する半導体装置の半製品とすることができる。

【0023】

前記チャネル領域は、例えば、前記ソース領域から前記ドレイン領域に向かう方向における前記チャネル領域の長さ以上の粒径を有する単一の結晶粒内に位置する。これにより、チャネル領域内から結晶粒界が排除され、キャリアはチャネル領域内を結晶粒界によって阻害されることなく移動することができ、チャネル

領域中の酸素原子および炭素原子の個数をいずれも 1 cm^3 当たり 1×10^{18} 個以下としたことの効果がより一層発揮される。

【0024】

本発明に係る半導体装置は、基板と、該基板上の少なくとも一部に直接または間接的に設けられた半導体層と、該半導体層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられたゲート電極層とを含む半導体装置であって、前記半導体層は、前記ゲート電極層の下方に位置する、結晶化された領域に形成されたチャネル領域と、このチャネル領域の側方に位置するソース領域およびドレイン領域とを有し、前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む。

【0025】

本発明に係る、他の半導体装置は、基板と、該基板上の少なくとも一部に直接または間接的に設けられたゲート電極層と、前記ゲート電極層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられた半導体層とを含む半導体装置であって、前記半導体層は、前記ゲート電極層の上方に位置する、結晶化された領域に形成されたチャネル領域と、このチャネル領域の側方に位置するソース領域およびドレイン領域とを有し、前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む。

【0026】

本発明に係る半導体装置によれば、チャネル領域中の炭素原子および酸素原子の個数がいずれも 1 cm^3 当たり 1×10^{18} 個以下であることから、キャリアの移動を阻害する原子構造上の微小欠陥が極めて少ない。このため、キャリアがチャネル領域内を高速に移動することができ、スイッチング素子として電気的に高速動作が可能な、優れた電気的特性を有する半導体装置を得ることができる。

【0027】

好ましくは、前記チャネル領域の酸素原子の個数は 1 cm^3 当たり 5×10^{17} 個以下であり、前記チャネル領域の炭素原子の個数は 1 cm^3 当たり 5×10^{17} 個以下である。これにより、さらに不純物元素の少ない高品質の半導体層を

含む、より優れた電気的な特性を有する半導体装置とすることができます。

【0028】

前記チャネル領域は、さらに、 1 cm^3 当たり 1×10^{17} 個以下の金属原子を含むものとすることができます。これにより、半導体層の抵抗率の低下の要因となる金属酸化物の半導体層中での生成が抑制され、より優れた電気的な特性を有する半導体装置とすることができます。

【0029】

好ましくは、前記チャネル領域の金属原子の個数は 1 cm^3 当たり 5×10^{16} 個以下である。これにより、さらに金属酸化物の生成が抑制され、より優れた電気的な特性を有する半導体装置とすることができます。

【0030】

前記チャネル領域は、例えば、前記ソース領域から前記ドレイン領域に向かう方向における前記チャネル領域の長さ以上の粒径を有する单一の結晶粒内に位置する。これにより、チャネル領域内から結晶粒界が排除され、キャリアはチャネル領域内を結晶粒界によって阻害されることなく移動することができ、チャネル領域中の酸素原子および炭素原子の個数をいずれも 1 cm^3 当たり 1×10^{18} 個以下としたことの効果がより一層発揮される。

【0031】

本発明に係る半導体装置の半製品の製造方法は、半導体層形成室内に配置された基板上の少なくとも一部に直接または間接的に半導体層を形成すること、前記半導体層の少なくとも一部の領域を結晶化すること、前記結晶化された領域上にゲート絶縁層を形成すること、前記ゲート絶縁層上にゲート電極層を形成すること、および前記ゲート電極層の下方に位置する前記結晶化された領域の少なくとも一部をチャネル領域に設定し、前記半導体層内の前記チャネル領域の両側にソース領域およびドレイン領域を形成することを含む、半導体装置の半製品の製造方法であって、前記半導体層を形成する前に、前記半導体層形成室の内壁にフッ素系ガスでエッチング表面処理を施し、その後 $50\text{ nm} \sim 1000\text{ nm}$ の厚さを有する非晶質半導体層を前記内壁に形成することを含み、これにより、前記半導体装置の半製品を製造することができます。

【0032】

本発明に係る、他の半導体装置の半製品の製造方法は、半導体層形成室内に配置された基板上の少なくとも一部に直接または間接的にゲート電極層を形成すること、前記ゲート電極層上にゲート絶縁層を形成すること、前記ゲート絶縁層上に半導体層を形成すること、前記半導体層の少なくとも一部の領域を結晶化すること、および前記ゲート電極層の上方に位置する前記結晶化された領域の少なくとも一部をチャネル領域に設定し、前記半導体層内の前記チャネル領域の両側にソース領域およびドレイン領域を形成することを含む、半導体装置の半製品の製造方法であって、前記半導体層を形成する前に、前記半導体層形成室の内壁にフッ素系ガスでエッチング表面処理を施し、その後 $50\text{ nm} \sim 1000\text{ nm}$ の厚さを有する非晶質半導体層を前記内壁に形成することを含む。

【0033】

本発明に係る半導体装置の半製品の製造方法は、さらに、前記内壁に $100^{\circ}\text{C} \sim 150^{\circ}\text{C}$ の温度でのベーキング処理を施すことを含むことができる。これにより、半導体層の形成前に予め内壁中の不純物元素を分離または遊離させて取り除くことができ、半導体層の形成中に内壁中の不純物元素が混入することを防止することができる。

【0034】

前記半導体層の少なくとも一部の領域を結晶化することは、前記半導体層の前記少くとも一部に光を照射することを含むものとすることができます。これにより、光照射により半導体層の少なくとも一部が溶融され、固化過程において結晶化され、半導体層の少なくとも一部の領域が結晶化される。

【0035】

前記半導体層の少なくとも一部の領域を結晶化することは、前記半導体層の少くとも一部の領域を加熱することを含み、前記加熱は前記領域内の各位置における加熱時間が10秒以下であるように行うものとすることができます。これにより、加熱により半導体層の少なくとも一部が溶融され、固化過程において結晶化され、半導体層の少なくとも一部の領域が結晶化される。好ましくは、前記加熱はその時間が1秒以下である。これにより、結晶化中高温となる膜へのコンタミ

ネーション現象による半導体層の汚染を抑制することができる。

【0036】

本発明に係る半導体装置の半製品の製造装置は、基板と、ソース領域、ドレン領域および結晶化された領域に形成されたチャネル領域を有する半導体層と、ゲート絶縁層と、ゲート電極層とを含む半導体装置の半製品の製造装置であって、アルミニウム含有金属からなる内壁を有する、前記半導体層を形成するための半導体層形成室を含む。

【0037】

本発明に係る半導体装置の半製品の製造装置によれば、内壁成分である金属元素が半導体層の形成中に層形成室内に進出して半導体層に混入することを防止することができる。

【0038】

これにより、チャネル領域中の炭素および酸素の個数がいずれも 1 cm^3 当たり 1×10^{18} 個以下である、スイッチング素子として電気的に高速動作が可能な、半導体装置の電気的な特性を向上させる、半導体装置の半製品を製造することができる。

【0039】

前記金属はアルミニウムマグネシウム系材料、アルミニウムマグネシウムシリコン系材料あるいはアルミニウム銅系材料からなるものとすることができる。

【0040】

好ましくは、前記内壁の表面粗さは 6.4 マイクロメートル以下である。これにより、内壁は不純物元素の付着が抑制されような平滑な表面を有し、また、内壁の清浄な状態を長期間にわたって保つことができる。

【0041】

好ましくは、前記内壁はフッ素原子を含んでおり、前記内壁面に、50 nm～1000 nm の厚さを有する非晶質の半導体層が形成されている。これにより、内壁に含まれるフッ素原子が層形成室内に進出することを非晶質の半導体層によって抑制することができる。

【0042】

好ましくは、前記半導体層形成室は、耐熱性を有するフッ素系ゴムからなるOリングを介して外部から遮断されている。これにより、内壁のベーキング処理時の加熱によるOリングの損傷を最小限にすることができる。さらに好ましくは、前記半導体層形成室は、耐熱性を有するフッ素系ゴムからなる二重のOリング、例えば径の異なる2つのOリングを介して外部から遮断されている。これにより、外部からの遮断を確実にし、またOリングの損傷をより一層少なくすることができる。さらに、前記半導体層形成室は、前記二重のOリングの該2つのOリング間の隙間内の気体を取り除くための排気装置を含むものとすることができます。これにより、半導体層形成室の汚染原因になる前記隙間内の気体を除去することができる。

【0043】

本発明に係るさらに他の半導体装置は、基板と、該基板上の少なくとも一部に直接または間接的に設けられた半導体層と、該半導体層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられたゲート電極層とを含む半導体装置であって、前記半導体層は、前記ゲート電極層の下方に位置する、結晶化された領域に形成されたチャネル領域と、このチャネル領域の側方に位置するソース領域およびドレイン領域とを有し、前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子を含み、積層欠陥密度が 1 cm^3 当たり 1×10^6 以下であることを特徴とする。これにより、半導体層の原子構造上の欠陥が少なく、半導体装置の特性、特に電気的特性が向上し、高性能の半導体装置を得ることができる。

【0044】

本発明に係るさらに他の半導体装置は、基板と、該基板上の少なくとも一部に直接または間接的に設けられたゲート電極層と、前記ゲート電極層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられた半導体層とを含む半導体装置であって、前記半導体層は、前記ゲート電極層の上方に位置する、結晶化された領域に形成されたチャネル領域と、このチャネル領域の側方に位置するソース領域およびドレイン領域とを有し、前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子を含み、積層欠陥密度が 1 cm^3 当たり 1×10^6 以下

であることを特徴とする。

【0045】

本発明に係るさらに他の半導体装置の製造方法は、半導体層形成室内に配置された基板上の少なくとも一部に直接または間接的に半導体層を形成すること、前記半導体層上にゲート絶縁層を形成すること、前記半導体層の少なくとも一部の領域を結晶化すること、前記ゲート絶縁層上にゲート電極層を形成すること、および前記ゲート電極層の下方に位置する前記結晶化された領域の少なくとも一部をチャネル領域に設定し、前記半導体層内の前記チャネル領域の両側にソース領域およびドレイン領域を形成することを含む、半導体装置の製造方法であって、前記半導体層を形成する前に、前記半導体層形成室の内壁にフッ素系ガスでエッチング表面処理を施し、その後 $50\text{ nm} \sim 1000\text{ nm}$ の厚さを有する非晶質半導体層を前記内壁に形成することを含む。これにより、半導体層の結晶化工程において、結晶化のための熱の発散現象による不充分な結晶化を回避し、必要な結晶化を実現することができる。したがって、高性能の半導体装置を得ることができる。

【0046】

本発明に係るさらに他の半導体装置の製造方法は、半導体層形成室内に配置された基板上の少なくとも一部に直接または間接的にゲート電極層を形成すること、前記ゲート電極層上にゲート絶縁層を形成すること、前記ゲート絶縁層上に半導体層を形成すること、前記半導体層上に絶縁層を形成すること、前記半導体層の少なくとも一部の領域を結晶化すること、および前記ゲート電極層の上方に位置する前記結晶化された領域の少なくとも一部をチャネル領域に設定し、前記半導体層内の前記チャネル領域の両側にソース領域およびドレイン領域を形成することを含む、半導体装置の製造方法であって、前記半導体層を形成する前に、前記半導体層形成室の内壁にフッ素系ガスでエッチング表面処理を施し、その後 $50\text{ nm} \sim 1000\text{ nm}$ の厚さを有する非晶質半導体層を前記内壁に形成することを含む。

【0047】

【発明の実施の形態】

図1（a）を参照するに、半導体装置の半製品10は、基板12と、半導体層14と、ゲート絶縁層16と、ゲート電極層18と、必要に応じて配置される下地絶縁層20とを含む。

【0048】

基板12として、シリコンまたは他の半導体を含む半導体基板、ガラスのような絶縁性基板を用いることができる。絶縁性基板は、例えば、コーニング社の1737ガラス、溶融石英、サファイア、プラスチック、ポリイミド等の材料で形成される。図示の例では、基板12は1737ガラス基板からなる。

【0049】

半導体層14として、シリコン（以下「Si」という。）、シリコンゲンルマニウム（以下「SiGe」という。）のような半導体を含む層を用いることができる。図示の例では、半導体層14はSiからなる。半導体層14は、基板12上に間接的に形成されている。すなわち、図示の例では、下地絶縁層20上に形成されている。半導体層14は、図示の例に代えて、下地絶縁層20を介在させることなく基板12上に直接に形成してもよい。

【0050】

半導体層14は、ゲート電極層18の下方に位置する、結晶化されたチャネル領域22と、チャネル領域22の側方に位置するソース領域24およびドレイン領域26とを有する。図示の例では、チャネル領域22の右側にソース領域24が、また左側にドレイン領域26が位置しているが、この逆であってもよい。

【0051】

チャネル領域22は、電子または正孔のようなキャリアがソース領域24とドレイン領域26との間を移動するための領域である。チャネル領域22内のキャリアの移動は、ゲート電極層18へのゲート電圧の印加によって制御される。ソース領域24およびドレイン領域26は、p型またはn型の不純物を含有する。図示の例では、n型の不純物を含む。

【0052】

ゲート絶縁層16は、電気的絶縁機能を有する酸化物からなるものとすることができる。図示の例では、ゲート絶縁層16は、二酸化ケイ素（以下「SiO₂

」という。」) からなり、半導体層14上に形成されている。ゲート絶縁層16は、例えば電界効果トランジスタのゲート絶縁層として用いられる。

【0053】

下地絶縁層20として、二酸化ケイ素（以下「SiO₂」という。））、窒化ケイ素（以下「SiN」いう。）、窒化ケイ素と二酸化ケイ素との2層構造物（以下「SiN/SiO₂」といふ。）、アルミナ、マイカ等の酸化物からなるものとすることができます。図示の例では、下地絶縁層20は、SiO₂からなる。下地絶縁層20は、基板12上に形成され、基板12（具体的にはガラス基板）中の不純物が半導体層14へ移動することを防止する役割を果たす。図示の例に代えて、下地絶縁層20を下側がSiN層および上側がSiO₂層の二層構造からなるものとすれば、前記不純物の移動を防止する効果がより一層増す。

【0054】

半製品10は、図1(a)に示す例では、チャネル領域22に、1cm³当たり1×10¹⁸個以下の酸素原子と、1cm³当たり1×10¹⁸個以下の炭素原子とを含む。

【0055】

チャネル領域22中の炭素原子および酸素原子の個数がいずれも1cm³当たり1×10¹⁸個以下であるので、これらの元素に起因するチャネル領域22の結晶構造上の微小欠陥が極めて少ない。このようにチャネル領域22の微小欠陥が極めて少ないので、キャリアはその移動を阻害されることなくチャネル領域22内を高速に移動することができる。

【0056】

半製品10を用いた半導体装置は、スイッチング素子として電気的な高速動作が可能であり、良好な電気的特性を有する。

【0057】

チャネル領域22中の酸素原子および炭素原子のいずれの個数をも1cm³当たり5×10¹⁷個以下とするときは、さらに不純物元素の少ない高品質の半導体層とすることができます。

【0058】

さらに、チャネル領域22中の金属原子の個数が 1 cm^3 当たり 1×10^{17} 個以下であるとき、半導体層の抵抗率の低下の要因となる金属酸化物の半導体層中での生成が抑制され、また金属原子の個数が 1 cm^3 当たり 5×10^{16} 個以下であるときは、さらに金属酸化物の生成が抑制される。

【0059】

チャネル領域22を、ソース領域24からドレイン領域26に向かう方向におけるチャネル領域22の長さ以上の粒径を有する単一の結晶粒内に配置すれば、チャネル領域22に結晶粒界が存在しなくなり、結晶粒界が存在する場合におけるキャリアのチャネル領域22の移動阻害が解消される。チャネル領域22の酸素および炭素の原子の個数をいずれも 1 cm^3 当たり 1×10^{18} 個以下としたことの効果がこれによってさらに発揮される。実用的には、結晶粒径をチャネル領域22の4分の1以上の長さ、例えばチャネル領域22が $2\text{ }\mu\text{m}$ の長さを有するときの結晶粒径を $0.5\text{ }\mu\text{m}$ 以上の長さとすれば、キャリアがチャネル領域22内で遭遇する結晶粒界の数を比較的少なくすることができ、不純物元素排除の効果が確認される。

【0060】

ソース領域24からドレイン領域26に向かう方向におけるチャネル領域22の長さ（描画ゲート長）は、チャネル領域22上方のゲート電極層18の同方向における長さ（実効ゲート長）より長い。少なくとも実効ゲート長の範囲において、結晶粒界がなく、酸素および炭素の原子の個数がいずれも 1 cm^3 当たり 1×10^{18} 個以下であれば前記効果が発揮される。さらに、描画ゲート長の範囲であれば、その効果がより一層発揮される。

【0061】

チャネル領域22が酸素および炭素の各原子のいずれをも 1 cm^3 当たり 1×10^{18} 個以下含むことによりチャネル領域22の結晶構造上の微小欠陥が極めて少ないとについては、以下にさらに詳しく説明する。

【0062】

1. 酸素および炭素と積層欠陥密度との相関関係

1 cm^3 当たりの酸素原子の個数すなわち酸素濃度（atoms/cm³）と

、 1 cm^3 当たりの炭素原子の個数すなわち炭素濃度（atoms/ cm^3 ）と、半導体層14の 1 cm^3 当たりの結晶構造欠陥の量すなわち積層欠陥密度（1/ cm^3 ）との相関関係を調べた。

【0063】

試料を次のように作製した。前記したコーニング社製の#1737ガラスからなる基板12上に、50nmの厚さを有する窒化ケイ素（SiN_x）の層と100nmの厚さを有する酸化ケイ素（SiO_x）の層とをこの順に積層した二重構造を有する下地絶縁層20を形成した。下地絶縁層20上に200nmの厚さを有する非晶質シリコン層を形成した。

【0064】

この試料の非晶質シリコン層中の酸素、炭素およびニッケルの各元素の濃度を、フランス国クルブヴオワのカメカ（CAMECA）社製の二次イオン質量分析（以下「SIMS」という。）装置で測定した。二次イオン質量分析法では、照射イオンとして例えばO⁺、Cs⁺等の希ガスイオンを用いたイオンビームを層上方から層に照射し、スパッタリング現象により層表面から放出される層中の原子または分子から発生する二次イオンを質量分析計によって元素分析を行う。イオンビームの連続的な照射によりスパッタリング現象を継続させて層のエッチングを行いながら層の深さ方向の元素分析を行う。

【0065】

前記非晶質シリコン層形成直後の該非晶質シリコン層中の前記各元素濃度をそれぞれ初期濃度とした。各元素の初期濃度の測定結果に関して、酸素は 2×10^{17} atoms/ cm^3 以下、炭素は 3×10^{16} atoms/ cm^3 以下、ニッケルは 5×10^{15} atoms/ cm^3 以下の初期濃度の値が得られた。ニッケルの初期濃度の値は、前記CAMECA社製のSIMS装置の分析下限の値である。

【0066】

前記初期濃度を有する各元素を含む非晶質シリコン層に酸素と炭素とをイオン注入法により注入した。図2に示す表1のように、炭素の3種類の各注入条件について酸素を異なる5つの注入条件で注入し、15種類の試料群を作製した。加

速エネルギーは、注入元素が非晶質シリコン層に注入されるように該元素原子の運動のために与えられるエネルギーである。炭素の加速エネルギーは100KeV、酸素の加速エネルギーは130KeVである。ドーズ量は、単位面積（図示の例では 1 cm^2 である。）を通過する注入元素原子の個数を表す。

【0067】

前記注入された炭素および酸素の各ドーズ量に対する非晶質シリコン層中の平均体積濃度を、図3に示す表2に示す。この平均体積濃度を有する炭素および酸素を含む各非晶質シリコン層に、300nmの厚さを有する酸化ケイ素(SiO_x)からなる絶縁層（以下「キャップ層」という。）を形成した後、光の少なくとも一部の位相を変える位相シフタを通してKrFエキシマレーザ光を照射してアニール処理を施し、非晶質シリコンを多結晶化させ、多結晶シリコン層に変えた。照射条件は、照射回数を1回、照射フルエンスを照射面内で平均560mJ/ cm^2 とした。前記キャップ層は、KrFエキシマレーザ光の照射のときに前記非晶質シリコン層の一部のシリコンが蒸発等により消失すること（アブレーション現象）を防止する。

【0068】

前記レーザアニールにより結晶化された多結晶シリコン層のX線回折像をX線回折法により得、その回折像のピーク・シフトを解析することにより多結晶シリコン層の結晶構造の微小な欠陥を調べることによって、図4に示すような、多結晶シリコン層の積層欠陥密度の値が得られた。

【0069】

図4において点線で示した測定下限は、積層欠陥密度の測定における測定値の再現性すなわち信頼性を考慮して定められたものである。現時点でのX線回折装置における回折像のピーク・シフトの解析においては、積層欠陥密度が極めて低いとき、解析結果は、解析装置の解析性能または解析者の解釈に依存し、この性能や解釈によって異なるからである。

【0070】

図4からわかるように、炭素および酸素の各濃度のいずれもが $1 \times 10^{18}\text{ atoms/cm}^3$ 以下であると、積層欠陥密度の値は測定下限近くまで下がる。

さらに、炭素および酸素の各濃度のいずれもが $5 \times 10^{17} \text{ atoms/cm}^3$ 以下であるとき、積層欠陥密度の値は測定下限以下である。

【0071】

2. 酸素、炭素および金属元素と積層欠陥密度との相関関係

次に、前記初期濃度を有する各元素を含む非晶質シリコン層に酸素および炭素に加え金属元素としてニッケル（以下「Ni」という。）を注入した場合について説明する。Niは原子量が約59と重いため、非晶質シリコン層上に前記キャップ層があると非晶質シリコン層内にNiを十分に注入することが難しい。このため、非晶質シリコン層の形成後かつキャップ層の形成前に非晶質シリコンへのNiの注入処理を施し、キャップ層の形成後に酸素および炭素の注入処理を施した。

【0072】

図5に示す表3のように、9種類の試料群を作製した。注入されたNiのドーズ量に対する非晶質シリコン層中の平均体積濃度を、図6の表4に示す。この試料に、前記と同様に位相シフタを通してKrFエキシマレーザ光を照射することにより行うレーザアニール処理を施し、非晶質シリコンを多結晶化させ、多結晶シリコン層に変えた。

【0073】

前記と同様に、X線回折像のピーク・シフト解析により多結晶シリコン層の結晶構造の微小な欠陥を調べ、図7に示すような、多結晶シリコン層の積層欠陥密度の値が得られた。

【0074】

図7からわかるように、炭素および酸素の各濃度のいずれもが $1 \times 10^{18} \text{ atoms/cm}^3$ 以下かつニッケルの濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 以下であると、積層欠陥密度の値は測定下限近くまで下がる。さらに、炭素および酸素の各濃度のいずれもが $5 \times 10^{17} \text{ atoms/cm}^3$ 以下かつニッケルの濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 以下であるとき、積層欠陥密度の値は測定下限以下である。さらに、ニッケルの濃度が $5 \times 10^{16} \text{ atoms/cm}^3$ 以下であるとき、積層欠陥密度の値が測定下限以下であることの確実性が増す。

【0075】

次に、半導体の半製品の製造方法について説明する。図1（a）に示す例においては、ゲート絶縁膜（図1（a）におけるゲート絶縁層16）をエッチングしていない状態のものを半導体装置の半製品という。図1（b）に示す例においては、ソース領域およびドレイン領域（図1（b）におけるソース領域24およびドレイン領域26）を形成した状態のものを半導体装置の半製品という。

【0076】

半導体装置の半製品10を製造するための装置として、図9に示すようなプラズマ気相成長（以下「PECVD」という。）装置40を用いることができる。図示の例では、PECVD装置40は、プラズマを発生させてPECVDにより基板12への成膜処理を行うための気密容器42と、プラズマを発生させるためのプラズマ発生源44と、気密容器42内にプラズマ発生用の原料ガスを供給するための原料ガス供給系46と、気密容器42内の排気処理をするための排気処理系48とを備える。

【0077】

PECVD装置40には、所定の真空度で基板12を気密容器42内へ搬入し、また気密容器42から搬出するための基板搬送系50が接続されている。

【0078】

また、後述するように、気密容器42には、気密容器42内の気体を特定するための質量分析装置51が接続されている。質量分析装置51としては、例えば四重極質量分析計（以下「QMS」という。）を用いる。

【0079】

原料ガス供給系46は、図示の例では、シラン（SiH4）ガスボンベ52および水素（H2）ガスボンベ54を有する原料ガスボンベ装置56と、流量制御装置すなわちマスフローコントローラ58とを備える。原料ガス供給系46は、シランガスおよび水素ガスの各流量をマスフローコントローラ58で調整して、流量を調整されたシランガスおよび水素ガスを気密容器42に導入する。

【0080】

排気処理系48は、図示の例では、ターボ分子ポンプ（以下「TMP」という

。) 60と、ドライポンプ62と備える。ドライポンプ62は、ターボ分子ポンプ60と気密容器42との間に配置された圧力自動制御装置すなわちオートプレッシャーコントローラ(以下「APC」という。)64と、ドライポンプ62の排気側に接続された、環境汚染を防止すべく排気ガスを清浄にするためのガスクリーナ66とを備える。

【0081】

基板搬送系50は、基板搬送装置すなわちロードチャンバー68と、自動仕分け装置すなわちロボットチャンバー70とを備える。ロードチャンバー68は、図示しない基板保管装置から所定の基板12を選択してロボットチャンバー70へ搬送すること、またロボットチャンバー70から所定の基板12を基板保管装置へ搬送することの両機能を有する。ロボットチャンバー70は、ロードチャンバー68から搬送された基板12を所定の基板処理装置に仕分けする。図においては、基板処理装置としてPECVD装置のみを示している。

【0082】

気密容器42とロボットチャンバー70との間の扉72を開けたとき、ロボットチャンバー70内の気体が気密容器42内に流れないことが必要である。このため、ロボットチャンバー70内の真空度が気密容器42内の真空度より高くなるように、ロボットチャンバー70内は図示しない排気装置により気密容器42内より陰圧に保たれている。

【0083】

気密容器42について、図10を用いて説明する。プラズマ容器42の周囲には、ヒータ80が例えばコイル状に巻かれている。ヒータ80は、プラズマ容器42内の温度を上昇させるために用いられる。ガス導入管82は、マスフローコントローラ58に接続されている。ガス排気管84は、オートプレッシャーコントローラ64を介してターボ分子ポンプ60に接続されている。気密容器42とドライポンプ62との間に配置されているガス排気管は、その図示を省略している。

【0084】

プラズマ発生源44について、図10を用いて説明する。プラズマ発生源44は、図示の例では、高周波発生装置86と、高周波発生装置86に電気的に接続された上電極88および下電極90とを備える。下電極90および気密容器42は接地されている。上電極88は、複数の開口を有するメッシュ92を有し、また、ガス導入管82の広がった部分と気密に接続されていえる。上電極88は、ガス導入管82を通じて導入された原料ガスを、メッシュ92を通して気密容器42内に原料ガスGを導入する。下電極92は、成膜処理をされる基板12を支持する。上電極88との間の電極間距離を調整するために、下電極92は、図示しない駆動機構によって図において上下方向に移動可能になっている。

【0085】

次に、図1(a)に示す半導体の半製品10の製造方法について説明する。

【0086】

最初に、半導体層14を形成するために基板12が配置される気密容器42のチャンバ内壁94について、チャンバ内壁94に混入されているガスを取り除くべく、チャンバ内壁94の脱ガス処理の工程を実施する。脱ガス処理工程は、排気処理を継続しながらベーキング処理をする。この脱ガス処理工程について説明する。まず、排気処理系48を作動させて、気密容器42内の排気処理を継続的に行う。この排気処理の継続中に、ヒータ80に電流を流してチャンバ内壁94を一定の温度になるまで加熱し、その後の一定の時間加熱する、すなわちベーキング処理をする。図示の例では、120℃の一定温度でチャンバ内壁94を数時間加熱するベーキング処理をする。このベーキング処理によってチャンバ内壁94から生じたガスは、排気処理系48によって排気される。

【0087】

次に、気密容器42の半導体層形成室内壁すなわちチャンバ内壁94に、図示しないボンベから供給された三塗化フッ素ガスのようなフッ素系ガスでエッティング表面処理を施し、チャンバ内壁94のクリーニングを行う（クリーニング工程）。次いで、このエッティング表面処理によりチャンバ内壁94に混入したフッ素が、再びチャンバ内壁94から分離してチャンバ内に生じることがないように、50nm～1000nmの厚さを有する半導体層材料例えば非晶質半導体層95

をチャンバ内壁94面に形成する（内壁被膜処理工程）。基板12上に下地絶縁層20を形成するときは、例えばプラズマ化学気相成長法（PECVD法）により下地絶縁層20としてのSiO₂層を形成した後にチャンバ内壁94に前記処理を施す。下地絶縁層20としてのSiO₂層を形成するために用いるガスボンベ装置としては、シラン（SiH₄）ガスボンベと酸化窒素（N₂O）ガスボンベと窒素（N₂）ガスボンベとを備えるガスボンベ装置、テトラエチルオルトリケート（Tetra Ethyl Ortho Silicate、以下「TEOS」という。）ガスボンベと酸素（O₂）ガスボンベとを備えるガスボンベ装置等がある（図示せず）。

【0088】

量産用のCVD装置では、使用環境や使用頻度を考慮して、装置の半導体層形成室内壁のクリーニング処理を真空中で施すことが必要である。例えば、半導体層形成室内壁への半導体層材料の累積の付着膜厚が10μmになる毎に、または1ロット毎に、ハロゲン系ガスやフッ化物ガスによる内壁クリーニング処理を行う。

【0089】

半導体層形成室の内壁に前記処理を施した後、下地絶縁層20上に非晶質半導体層として例えば非晶質シリコン層をプラズマ化学気相成長（PECVD）法により形成する。

【0090】

図9を参照して、PECVD法による非晶質シリコン層を形成する場合の成膜条件について説明する。図示の例において、気密容器42内に供給されるシランガスおよび水素ガスについて、混合比（SiH₄/H₂）は流量比で1:4である。気密容器42内の全ガス圧が150Pa（1.1Torr）になるように、気密容器42とターボ分子ポンプ60との間に配置されたAPC64によって気密容器42内のガス圧を調整される。これにより、気密容器42内の真空度が所定に保たれる。成膜速度は、プラズマ電力およびシランガス流量によって決まる。基板12の温度は図示しない加熱装置によって一定の温度、例えば280℃に保たれる。上電極88と下電極90との間の距離または上電極88と基板12と

の間の距離は、成膜処理時には15mmに設定される。このような条件で、非晶質シリコン層が形成される。

【0091】

次いで、非晶質シリコン層14aに、図18に示すように、300nmの厚さを有する酸化ケイ素からなる絶縁層すなわちキャップ層130を形成した後、非晶質シリコン層14aの脱水素処理を行う。図18は、非晶質半導体層上にキャップ層が設けられた基板を示す図である。

【0092】

次に、図19に示すように、非晶質シリコン層14aの少なくとも一部の領域を結晶化すべく光として例えばKrFエキシマレーザ光Laを、レーザ装置132および光学系134により、例えば照射回数を1回、照射フルエンスを照射面内で平均 560mJ/cm^2 とする照射条件で、位相シフタ136を通して、キャップ層130を介して非晶質シリコン層14aに照射し、非晶質シリコン層14aを多結晶シリコン層に変える。図19は、位相シフタ136を用いるレーザ光照射装置の概略を示す図である。キャップ層130は、レーザ光照射により非晶質シリコン層14a内に生じる熱が該シリコン層の外に放散されることを防止する。これにより、非晶質シリコンの結晶化のために、レーザ光照射によるエネルギーを熱に変換することが確実なものとなる。

【0093】

前記した位相シフタについて説明する。位相シフタは、透明媒質例えば石英基材に厚さの段差を付け、この段差の境界で入射するレーザ光線を回折と干渉させて、入射したレーザ光の強度に周期的な空間分布を付与するものである。図17は、位相シフタによるレーザ光強度の変化を示す図である。図17に示す例においては、レーザ光線Lについて、位相シフタ120の段差部 $X=0$ を境界として左右で180度の位相差を付けた場合が示されている。即ち、位相シフタの厚い部分を通過したレーザ光線は、薄い部分（厚さt）を通過したレーザ光線に比較して遅れる。これらレーザ光線間の相互干渉と回折の結果、図17に示すような通過レーザ光線強度分布が得られる。一般に、レーザ光の波長を λ とすると、屈折率nの透明媒質に180度の位相差を付けるための透明媒質の膜厚tは、以下

の式で表される。

【0094】

【数1】

$$t = \lambda / 2 (n - 1) \cdots \text{式 (1)}$$

【0095】

例えば、K r F エキシマレーザの波長が 248 nm で、石英基材の 248 nm 光での屈折率が 1.508 とすると、180 度の位相差を付けるための段差は 244 nm であり、石英基材に予め定められた位置に 244 nm の段差を付ければよい。石英基材に段差を付けるための手段は、例えば気相又は液相による選択エッチングすることにより形成することができる。石英基材に段差を付けるための他の手段は、光透過膜例えば SiO₂ をプラズマ CVD、減圧 CVD などにより選択的に成膜してもよい。

【0096】

位相シフタを通ったレーザ光の一部は位相差による干渉によって高光強度を有する光として非晶質シリコン層に入射し、非晶質シリコン層の一部を高温にさせ、周囲の低温のシリコンの一部が結晶の核になって層面に平行な方向すなわち横方向に結晶成長が生じ、大きな結晶粒が形成される。

【0097】

次いで、前記キャップ層を例えば緩衝フッ酸によるウェットエッチング法により除去した後、回路パターンに合わせて多結晶シリコン層を部分的に除去し、結晶化された領域を含む半導体層 14 を形成する。

【0098】

半導体層 14 を覆うゲート絶縁層 16 として例えば SiO₂ 層をプラズマ化学気相成長法により形成した後、半導体層 14 の結晶化された領域の一部の上方のゲート絶縁層 16 上の一部にゲート電極層 18 を形成する。その後、ゲート電極層 18 をマスクにして半導体層 14 の一部に n 型または p 型の不純物をゲート絶縁層 16 を通して注入し、半導体層 14 の一部にソース領域 24 およびドレイン領域 26 を形成する。これによって、ゲート電極層 18 の下方に位置する、結晶化領域の一部がチャネル領域に設定される。このようにして、半導体装置の半製

品10を製造することができる。

【0099】

この後、図20(f)を参照して説明した層間絶縁層111と同様の層間絶縁層を形成し、次いで加熱処理によりソース領域24およびドレイン領域26内の不純物の活性化を行う。この後、ソース領域24およびドレイン領域26の各領域の上方に位置するゲート絶縁層16および前記層間絶縁層の部分に、図20(f)を参照して説明したコンタクトホールと同様のコンタクトホールを形成する。次いで、ソース領域24およびドレイン領域26との電気的な接続のための、図20(f)を参照して説明したソース電極層112およびドレイン電極層113と同様のソース電極層およびドレイン電極層を形成し、電気的信号の伝達のための、図20(f)を参照して説明した金属配線層114と同様の金属配線層を形成する。これにより、ソース領域24とドレイン領域26との間のチャネル領域22を流れる電流がゲート電極層18への印加電圧すなわちゲート電圧によって制御される、半導体装置としての薄膜トランジスタが得られる。

【0100】

前記したように、前記半導体装置の半製品の製造において、さらに、半導体層の形成前に、排気処理を継続しながら、半導体層形成室の内壁(チャンバ内壁)を100°C～150°Cの温度でのベーキング処理を施すことにより、上記チャンバ内壁中の不純物元素が分離または遊離し、排気されて半導体層形成室内から取り除かれ、半導体層の形成中、半導体層にチャンバ内壁中の不純物元素が混入することが防止される。このようにして不純物元素の混入が防止された半導体層例えば非晶質シリコン層が形成される。

【0101】

前記した脱ガス処理工程に関連して、気密容器42内すなわちチャンバ内の残留ガスについて、以下に説明する。

【0102】

図11を参照するに、チャンバ内の残留ガスを特定するためのグラフを示す。このグラフは、図11において右上に示す縮小されたグラフ(質量分析装置51によって得られた質量スペクトルのグラフ。後述する図12を参照。)の情報に

基づいて作成したものである。質量分析装置 51 として四重極質量分析計（以下「QMS」という。）を用いた。図 11 に示すグラフは、反応装置脱ガス速度 [Torr 1/s] に対する、QMS で測定されたイオン電流 [A] の値を示す。グラフの目盛り表示に関して、1.E-07 は、 1×10^{-7} を表す。質量単位 17、18 および 28 についての質量スペクトルから主要なイオン電流の値を測定した。具体的に、黒三角印は、質量と電荷数との比すなわち $M/Z = 18$ である場合を示す。白丸印は、 $M/Z = 17$ の場合を示す。黒菱形印は、 $M/Z = 28$ の場合を示す。

【0103】

図 11 に示すグラフからわかるように、イオン電流の大きさは、チャンバ内の脱ガス速度の増加に伴い直線的に減少する。基準のために 45 度の勾配を有する直線を示す。考えられる不純物元素（または汚染原因になっている元素）として、H₂O（質量単位 17 または 18）に起因すると考えられる酸素元素、N₂（質量単位 28）に起因すると考えられる窒素元素、CO または他の炭化水素（質量単位 28、12～16）に起因すると考えられる炭素元素等が挙げられる。したがって、シリコン膜成膜中における不純物元素または汚染原因になっている元素に係る分圧は、反応装置脱ガス速度に比例することがわかる。

【0104】

図 12 は、チャンバ内の残留ガスを特定するために質量分析装置 51 を用いて測定した質量スペクトルのグラフを示す。質量分析装置 51 として四重極質量分析計（以下「QMS」という。）を用いた。このグラフは、チャンバ内ガスについて質量と電荷数との比（ガス質量に相当する。）すなわち M/Z に対する、イオン電流 [A] の値（不純物ガスの残留量に相当する。）を示す。 $M/Z = 1$ は、H（水素）に相当する。 $M/Z = 2$ は、H₂ に相当する。 $M/Z = 17$ は、O H に相当する。 $M/Z = 18$ は、H₂O に相当する。 $M/Z = 28$ およびその前後は、N₂ または CO に相当する。

【0105】

図 13 は、シリコン膜の深さ方向における酸素濃度の変化を示すグラフである。スパッタ深さ [μm] に対する酸素濃度 [cm^{-3}] の値を示す。測定用試料

として、基板上に4層のシリコン膜を成膜したものを用いた。4層のシリコン膜を各層で成膜速度を変えて成膜した。各成膜速度は、基板に近い方から、3.0 [nm/s]、2.3 [nm/s]、1.5 [nm/s]、0.8 [nm/s]である。成膜速度の変更は、プラズマ電力を変えることにより行った。この4層構造シリコン膜について、スパッタエッチングをしながら酸素濃度を測定した。スパッタ深さの値S1、S2、S3、S4は、基板に近い方からの各層の膜厚に相当する。各層をS1、S2、S3、S4で表す。グラフからわかるように、4層シリコン膜中の酸素濃度は、シリコン膜S4、S3、S4、S1の順に小さくなり、3.0 [nm/s]の成膜速度のシリコン膜(S1)のとき最も小さく、その値は、ほぼ 1.4×10^{-17} [cm⁻³]である。また、4層シリコン膜中の酸素濃度は、シリコン膜の成膜速度の増加に伴って減少する。基板(Sb)とシリコン膜(S1)との境界近傍の高い酸素濃度ピークは、基板のSiO₂層の酸素によるものである。

【0106】

図14は、種々のリーク速度における酸素濃度を示すグラフである。図14に示すグラフは、原料ガス濃度に対する酸素濃度 [cm⁻³] の値を示す。原料ガス濃度として、シランガスについての $1/\text{FSiH}_4$ [SCCM⁻¹] に対する $1/\text{SiH}_4$ の割合の値を用いている。 FSiH_4 は、シランガスの流量の値である。直線L3は、脱ガス処理工程およびクリーニング処理工程を実施した場合(リーク速度の値は 6.7×10^{-4} である。)、直線L4は、これら2つの工程を実施しない場合(リーク速度の値は 3.3×10^{-3} である。)を示す。グラフからわかるように、直線L3の勾配は直線L4の勾配の5分の1である。すなわち、リーク速度1/5で、勾配が1/5になった。脱ガス処理工程およびクリーニング処理工程を実施することにより、これらの工程を実施しない場合と比べて、酸素濃度が低くなる。2つの直線L3、L4の切片の値が極めて近いことが特徴である。

【0107】

図14に示すグラフに係る酸素濃度について、以下に説明する。酸素濃度について、以下の式を用いて検討する。

【0108】

【数2】

$$C_{oxygen} \sim \frac{F_{outgas}}{F_{SiH_4}} \times N_{Si} + C_{gas} \cdots 式(2)$$

【0109】

ここで、*Coxgen*は、シリコン膜中の酸素濃度、*Cgas*は、原料ガス（例えばシランガス）中の酸素濃度、*Foutgas*は、脱ガスにより生じたガスとしての汚染物の流量、*FSiH4*は、シランガスの流量、*NSi*は、シリコン膜中の単位体積当たりのシリコン原子の個数（密度）を表す。*Cgas*は、原料ガス（例えばシランガス）について一定値である。前記式中の(*Foutgas* / *FSiH4*) × *NSi* ≡ *Cooutgas*は、脱ガスにより生じた酸素濃度を示し、1 / *FSiH4*に比例する。

【0110】

図15は、1 / *FSiH4*（シランガスの流量の値の逆数）に対する*Coxgen*（シリコン膜中の酸素濃度）の値を示す。このグラフからわかるように、直線L5の勾配は*Foutgas*に比例しており、式（2）を満足する。

【0111】

図16は、種々のリーク速度における酸素濃度を示すグラフである。1 / *FSiH4*（シランガスの流量の値の逆数）に対する1 / *SiH4*（シランガス量の値の逆数）の値を示す。このグラフは、図14の一部を拡大して示したグラフである。図16において右上に示す縮小されたグラフは、図14のグラフと同様である。グラフにおいて、原料ガス（例えばシランガス）中の酸素濃度*Cgas*は、 $4 \times 10^{-16} \text{ cm}^{-3} \sim 5 \times 10^{-16} \text{ cm}^{-3}$ の値（ほぼ1 ppmに相当する。）にほぼ収まる。原料ガス（例えばシランガス）中の酸素濃度*Cgas*と原料ガスボンベに起因する酸素濃度*Cbomb*との差は、原料ガス供給系からの不純物に相当する。原料ガスボンベに起因する酸素濃度*Cbomb*は、0.5 ppm未満である。

【0112】

結晶化のための前記光の照射は、半導体層の前記光の照射を受ける各位置において半導体が前記光の照射により溶融されて結晶化するまでの時間が10秒以下であるように、さらに好ましくは、前記時間は1秒以下であるように行うことにより、光照射中に生じるコンタミネーション現象による半導体層の汚染が抑制される。

【0113】

上記説明では、半導体層の少なくとも一部の領域を結晶化するために、半導体層の前記一部に光例えはレーザ光を照射する例について説明したが、ランプアニール処理方法のようにレーザ光以外の光を照射するようにしてもよい。また、光を照射する代わりに、例えは窒素雰囲気下での固相成長法のように半導体層の少なくとも一部の領域を加熱することにより半導体層の非晶質シリコン又は多結晶シリコンを結晶化させるようにしてもよい。上記加熱は前記領域内の各位置における加熱時間が10秒以下であるように、さらに好ましくは、前記時間は1秒以下であるように行うことにより、結晶化中高温となる膜半導体層へのコンタミネーション現象による半導体層の汚染を抑制することができる。

【0114】

前記半導体装置の半製品およびその製造方法においては、ゲート絶縁層16が半導体層14を覆うように積層されるものとしたが、図8に示すように、ゲート絶縁層16が半導体層14のチャネル領域22のほぼ上方部分にのみ形成されるものであってもよい。図8に示すように、ゲート電極層18と、半導体層14のソース領域24およびドレイン領域26とを覆うように層間絶縁層28を形成した後コンタクトホールを形成し、その後、ソース電極層30、ドレイン電極層32および金属配線層34を形成することにより半導体装置が得られる。

【0115】

前記半導体装置の半製品の製造方法においては、前記キャップ層をすべて除去するものとしたが、前記キャップ層をゲート絶縁層16と同じ厚さを有するまでエッチングしてゲート絶縁層16として用いてもよい。

【0116】

前記半導体装置の半製品の製造方法においては、アニール処理を光を位相シフ

タを通して非晶質シリコン層に照射して行うものとしたが、位相シフタを用いず
に光を直接非晶質シリコン層に照射してもよい。この場合には、位相シフタを用
いる場合と比べて、シリコン層に形成される結晶粒の大きさが小さいという点で
劣るが、位相シフタを用いないときの光照射の照射フルエンスが位相シフタを用
いる場合と比べて比較的小さいことから、前記キャップ層の形成を必要としない
という利点を有する。

【0117】

本発明に係る半導体装置にあっては、前記したように、チャネル領域中の酸素
原子および炭素原子のそれぞれの個数が 1 cm^3 当たり 1×10^{18} 個以下であるか、または、チャネル領域中の酸素原子、炭素原子および金属原子のそれぞれ
の個数が 1 cm^3 当たり 1×10^{18} 個以下、 1×10^{18} 個以下および 1×1
 0^{17} 個以下である。これらの個数は、半導体装置の製造が完了したときの数値
である。したがって、前記した例に代えて、前記個数以上の元素を有する非晶質
のまたは結晶化された半導体層を予め形成しておき、その後における半導体装置
の製造段階、例えば余分な原子を除去する低温でのゲッタリング工程で各元素原
子の個数を前記個数以下になるように調整してもよい。

【0118】

図1 (a) を参照して説明した前記半導体装置の半製品にあっては、半導体層
とゲート絶縁層とゲート電極層とがこの順に上方に積層され、半導体層は、ゲー
ト電極層の下方に位置する、結晶化されたチャネル領域と、前記チャネル領域の
側方に位置するソース領域およびドレイン領域とを有するものとした。これに代
えて、図1 (b) に示すように、ゲート電極層18とゲート絶縁層16と半導体
層14とがこの順に上方に積層され、半導体層14は、ゲート電極層18の上方
に位置するチャネル領域22とチャネル領域22の側方に位置するソース領域2
4およびドレイン領域26とを有してもよい。

【0119】

また、図1 (a) を参照して説明した前記半導体装置の半製品に代えて、図1
(b) に示すように、ゲート電極層とゲート絶縁層と半導体層とがこの順に上方
に積層され、半導体層は、ゲート電極層の上方に位置するチャネル領域とチャネ

ル領域の側方に位置するソース領域およびドレイン領域とを有する構造の半導体装置の半製品にしてもよい。

【0120】

図1 (b) に示す、半導体装置の半製品の製造にあっては、下地絶縁層20の形成後、ゲート電極層18を形成し、ゲート電極層18を覆うようにゲート絶縁層16を形成する。ゲート絶縁層16は、下地絶縁層20上にも形成されるよう伸びている。

【0121】

次に、ゲート絶縁層20上に非晶質半導体層として例えば非晶質シリコン層をプラズマ化学気相成長法により形成する。非晶質シリコン層のプラズマCVDをする前に、チャンバ内壁についての脱ガス処理をし、チャンバクリーニングをし、チャンバ内壁面上に半導体層を成膜する工程を実施する。次いで、非晶質シリコン層に前記と同様に前記キャップ層を形成した後、前記シリコン層の脱水素処理を行う。次に、非晶質シリコン層の少なくとも一部の領域を結晶化すべく光として例えばKrFエキシマレーザ光を、前記と同様の照射条件で、位相シフタを通して非晶質シリコン層に照射し、非晶質シリコン層を多結晶シリコン層に変える。次いで、前記キャップ層を例えば緩衝フッ酸によるウェットエッチング法により除去する。

【0122】

次に、チャネル領域22上に、ゲート電極層18のパターン寸法とほぼ等しいパターンを有するレジスト層を形成し、このレジスト層をマスクにして半導体層14の一部にn型またはp型の不純物を注入し、前記と同様にソース領域24およびドレイン領域26を形成する。これによって、ゲート電極層18の上方に位置する、結晶化領域の一部がチャネル領域22に設定される。前記レジスト層のパターン寸法を変更することによりソース領域24およびドレイン領域26の寸法を変更することができる。このようにして、半導体装置の半製品10を製造することができる。

【0123】

この後、前記と同様に層間絶縁層28を形成し、次いで加熱処理によりソース

領域 24 およびドレイン領域 26 内の不純物の活性化を行う。この後、ソース領域 24 およびドレイン領域 26 の各領域の上方に位置する前記層間絶縁層 28 の一部にコンタクトホールを形成する。次いで、ソース領域 24 およびドレイン領域 26 との電気的な接続のためのソース電極層およびドレイン電極層を形成し、電気的信号の伝達のための金属配線層を形成する。これにより、半導体装置としての多結晶シリコン薄膜トランジスタが得られる。

【0124】

本発明に係る半導体装置の半製品の製造装置は、例えばロードロックの付いた枚葉式プラズマCVD装置であり、この装置の半導体層形成室に鉄、ニッケル、コバルトなどの金属が混入しないように半導体層形成室の内壁材料として鉄、ニッケル、コバルト等を含有するSUS系の金属材料は用いられず、アルミニウム含有金属からなる材料が用いられる。フッ素系ガスによるクリーニング時にアルミニウムがフッ素と化合してフッ素化合物が形成され、内壁成分である金属元素が半導体層の形成中に半導体層形成室内に進出せず、半導体層への混入が防止される。

【0125】

内壁材料として、好ましくは、アルミニウムマグネシウム系金属材料（日本工業規格の材料番号によればA5000番台の金属材料、例えばA5052系の材料）、さらに好ましくは、アルミニウムマグネシウムシリコン系金属材料（同A6000番台の金属材料）またはアルミニウム銅系材料（同A2000番台の金属材料、例えばA2219系の材料）を用いる。

【0126】

半導体層形成室の内壁の表面粗さは6.4マイクロメートル以下であることが好ましい。これにより、内壁は不純物元素の付着が抑制されような平滑な表面を有し、内壁の清浄な状態を長期間にわたって保つことができる。

【0127】

また、内壁の表層部分をフッ素と化合させて内壁表層に例えばフッ化マグネシウムアルミニウム層を形成することにより内壁がフッ素原子を含むようにし、この内壁面に、50nm～1000nmの厚さを有する非晶質の半導体層を形成す

ることにより、内壁に含まれるフッ素原子が層形成室内に進出することが非晶質の半導体層によって抑制される。

【0128】

内壁のベーキング処理時の加熱によるOリングの損傷を最小限にするために、半導体層形成室内を外部から遮断するためのOリングは、耐熱性を有するフッ素系ゴムからなることが好ましい。二重のOリング例えば径の異なる2つのOリングを用いれば効果である。また、2つのOリングの間に隙間内の気体を排気装置によって取り除くことによって、前記気体による半導体層形成室の汚染が回避される。

【図面の簡単な説明】

【図1】

(a) は、本発明に係る半導体装置の半製品の実施例を概略的に示す図。 (b) は、本発明に係る、他の半導体装置の半製品の実施例を概略的に示す図。

【図2】

本発明に係る半導体装置の半製品の実施例を説明するための表を示す図。

【図3】

本発明に係る半導体装置の半製品の実施例を説明するための表を示す図。

【図4】

本発明に係る半導体装置の半製品の実施例を説明するためのグラフを示す図。

【図5】

本発明に係る半導体装置の半製品の他の実施例を説明するための表を示す図。

【図6】

本発明に係る半導体装置の半製品の他の実施例を説明するための表を示す図。

【図7】

本発明に係る半導体装置の半製品の他の実施例を説明するためのグラフを示す図。

【図8】

本発明に係る半導体装置の半製品の他の実施例を概略的に示す図。

【図9】



本発明に係る半導体装置またはその半製品の製造装置の実施例を概略的に示す図。

【図10】

図9に示す気密容器およびプラズマ発生源を概略的に示す図。

【図11】

チャンバ内の残留ガスを特定するためのグラフ。

【図12】

チャンバ内の残留ガスについての質量スペクトルを示すグラフ。

【図13】

シリコン膜の深さ方向における酸素濃度の変化を示すグラフ。

【図14】

種々のリーク速度における酸素濃度を示すグラフ。

【図15】

シランガス流量値の逆数に対するシリコン膜中酸素濃度値を示すグラフ。

【図16】

種々のリーク速度における酸素濃度を示すグラフである。

【図17】

位相シフタによるレーザ光強度の変化を示す図。

【図18】

非晶質半導体層上にキャップ層が設けられた基板を示す図。

【図19】

位相シフタを用いるレーザ光照射装置の概略を示す図。

【図20】

従来の半導体装置の半製品およびその製造方法を概略的に示す図。

【符号の説明】

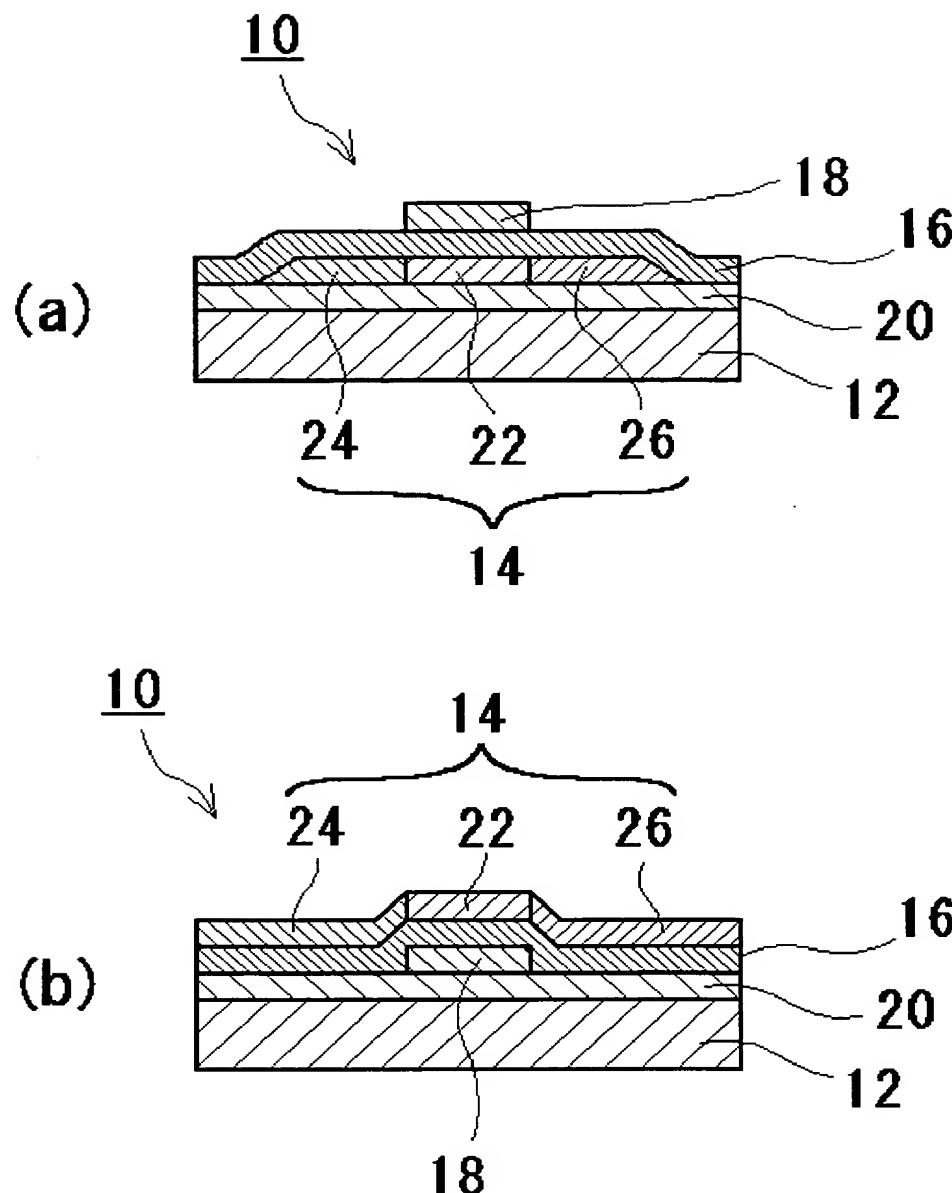
【符号の説明】

10…半導体装置の半製品、12…基板、14…半導体層、14a…非晶質シリコン層、16…ゲート絶縁層、18…ゲート電極層、20…下地絶縁層、22…チャネル領域、24…ソース領域、26…ドレイン領域、28…層間絶縁層、

30…ソース電極層、32…ドレイン電極層、34…金属配線層、40…プラズマ気相成長装置、42…気密容器、44…プラズマ発生源、46…原料ガス供給系、48…排気処理系、50…基板搬送系、51…質量分析装置、52…シランガスボンベ、54…水素ガスボンベ、56…原料ガスボンベ装置、58…マスフローコントローラ、60…ターボメッシュポンプ、62…ドライポンプ、64…オートプレッシャーコントローラ、66…ガスクリーナ、68…ロードチャンバー、70…ロボットチャンバー、72、74…扉、80…ヒータ、82…ガス導入管、84…ガス排気管、86…高周波発生装置、88…上電極、90…下電極、92…メッシュ、94…チャンバ内壁、95…半導体材料層、130…キャップ層、132…レーザ装置、134…光学系、136…位相シフタ

【書類名】 図面

【図1】



【図2】

表1

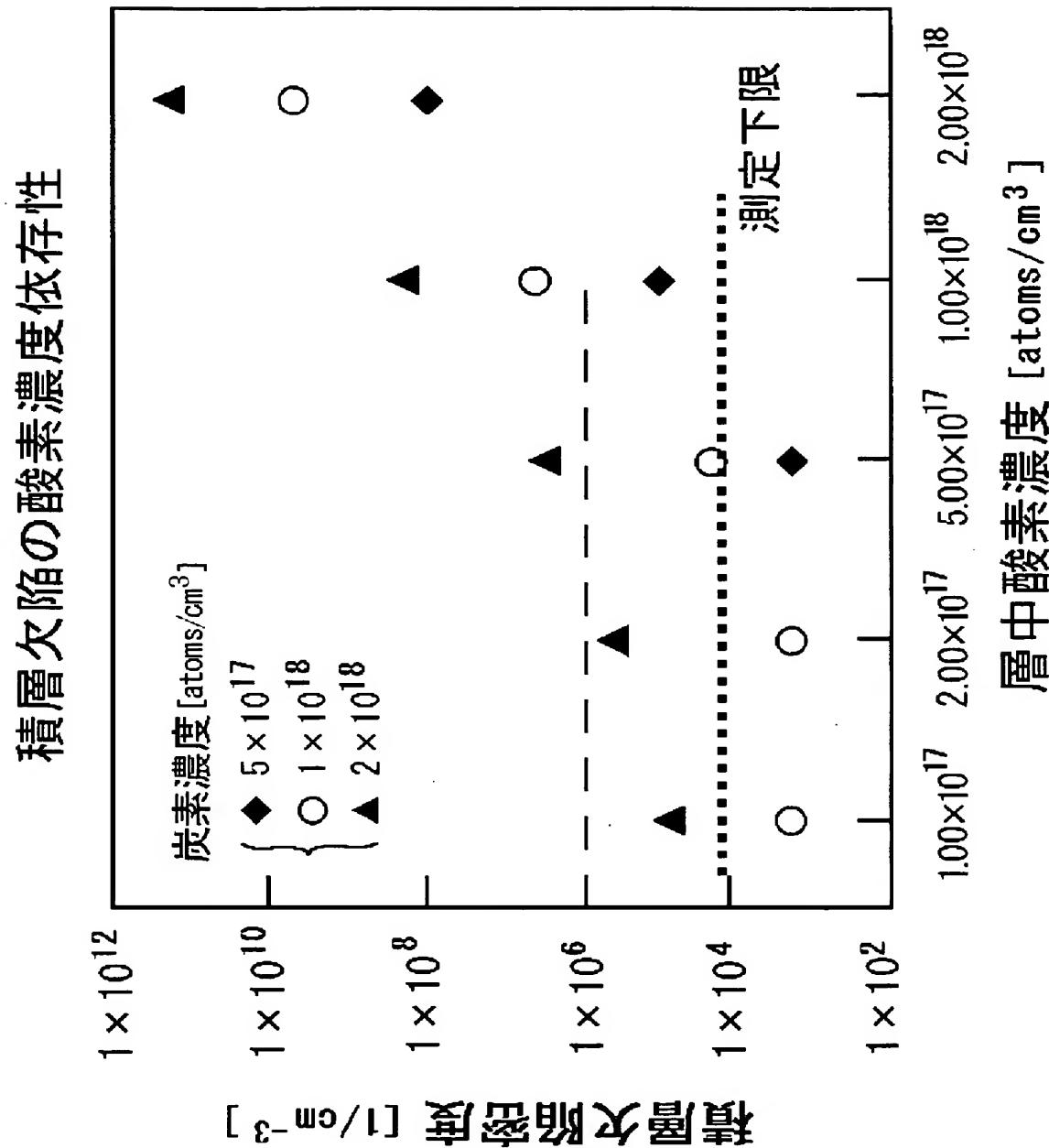
注入元素	炭 素	酸 素
加速エネルギー	100 KeV	130 KeV
試料番号	ドーザ量 (atoms/cm ²)	ドーザ量 (atoms/cm ²)
001	1.5×10^{13}	3×10^{12}
002	1.5×10^{13}	6×10^{12}
003	1.5×10^{13}	1.5×10^{13}
004	1.5×10^{13}	3×10^{13}
005	1.5×10^{13}	6×10^{13}
006	3×10^{13}	3×10^{12}
007	3×10^{13}	6×10^{12}
008	3×10^{13}	1.5×10^{13}
009	3×10^{13}	3×10^{13}
010	3×10^{13}	6×10^{13}
011	6×10^{13}	3×10^{12}
012	6×10^{13}	6×10^{12}
013	6×10^{13}	1.5×10^{13}
014	6×10^{13}	3×10^{13}
015	6×10^{13}	6×10^{13}

【図3】

表2

ドーザ量 (atoms/cm ²)	体積濃度 (atoms/cm ³)	
	炭 素	酸 素
3×10^{12}		1×10^{17}
6×10^{12}		2×10^{17}
1.5×10^{13}	5×10^{17}	5×10^{17}
3×10^{13}	1×10^{18}	1×10^{18}
6×10^{13}	2×10^{18}	2×10^{18}

【図 4】



【図5】

表3

注入元素	炭 素	酸 素	ニッケル
加速エネルギー	100 KeV	130 KeV	100 KeV
試料番号	ドーザ量 (atoms/cm ²)	ドーザ量 (atoms/cm ²)	ドーザ量 (atoms/cm ²)
001	1.5×10^{13}	1.5×10^{13}	7×10^{11}
002	1.5×10^{13}	1.5×10^{13}	1.5×10^{12}
003	1.5×10^{13}	1.5×10^{13}	3×10^{12}
006	3×10^{13}	3×10^{13}	7×10^{11}
007	3×10^{13}	3×10^{13}	1.5×10^{12}
008	3×10^{13}	3×10^{13}	3×10^{12}
011	6×10^{13}	6×10^{13}	7×10^{11}
012	6×10^{13}	6×10^{13}	1.5×10^{12}
013	6×10^{13}	6×10^{13}	3×10^{12}

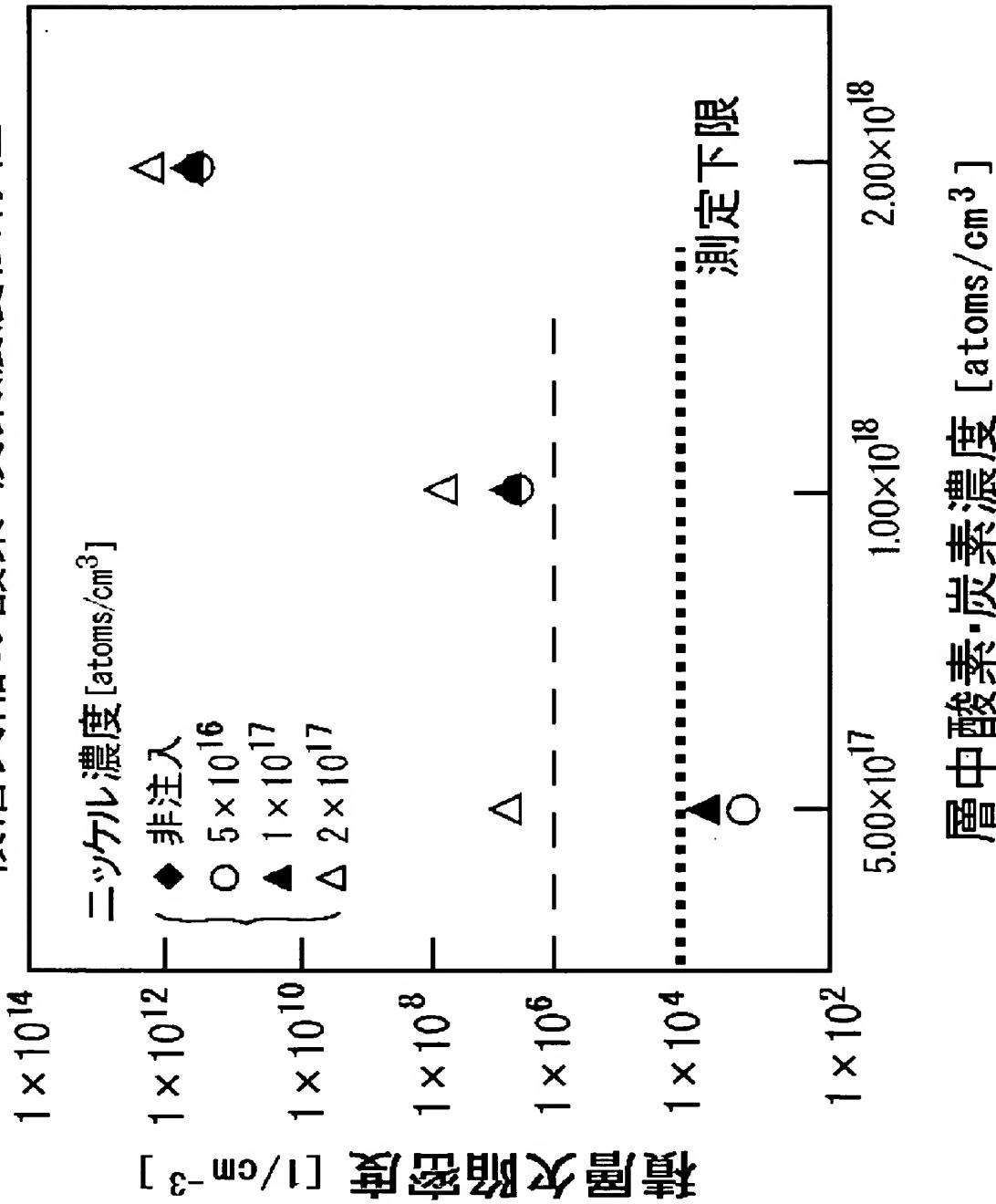
【図6】

表4

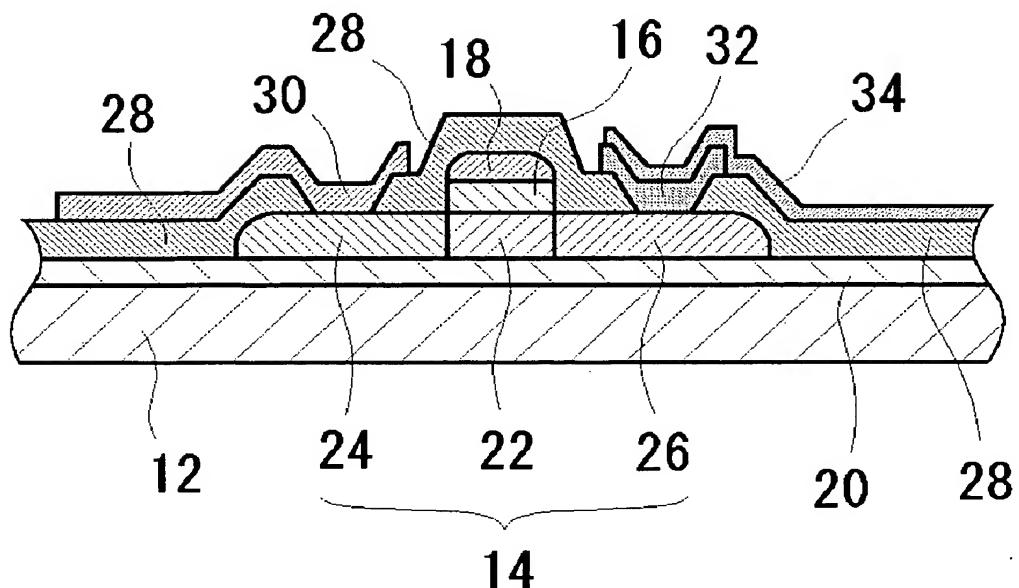
ニッケル	
ドーザ量 (atoms/cm ²)	体積濃度 (atoms/cm ³)
7×10^{11}	5×10^{16}
1.5×10^{12}	1×10^{17}
3×10^{12}	2×10^{17}

【図7】

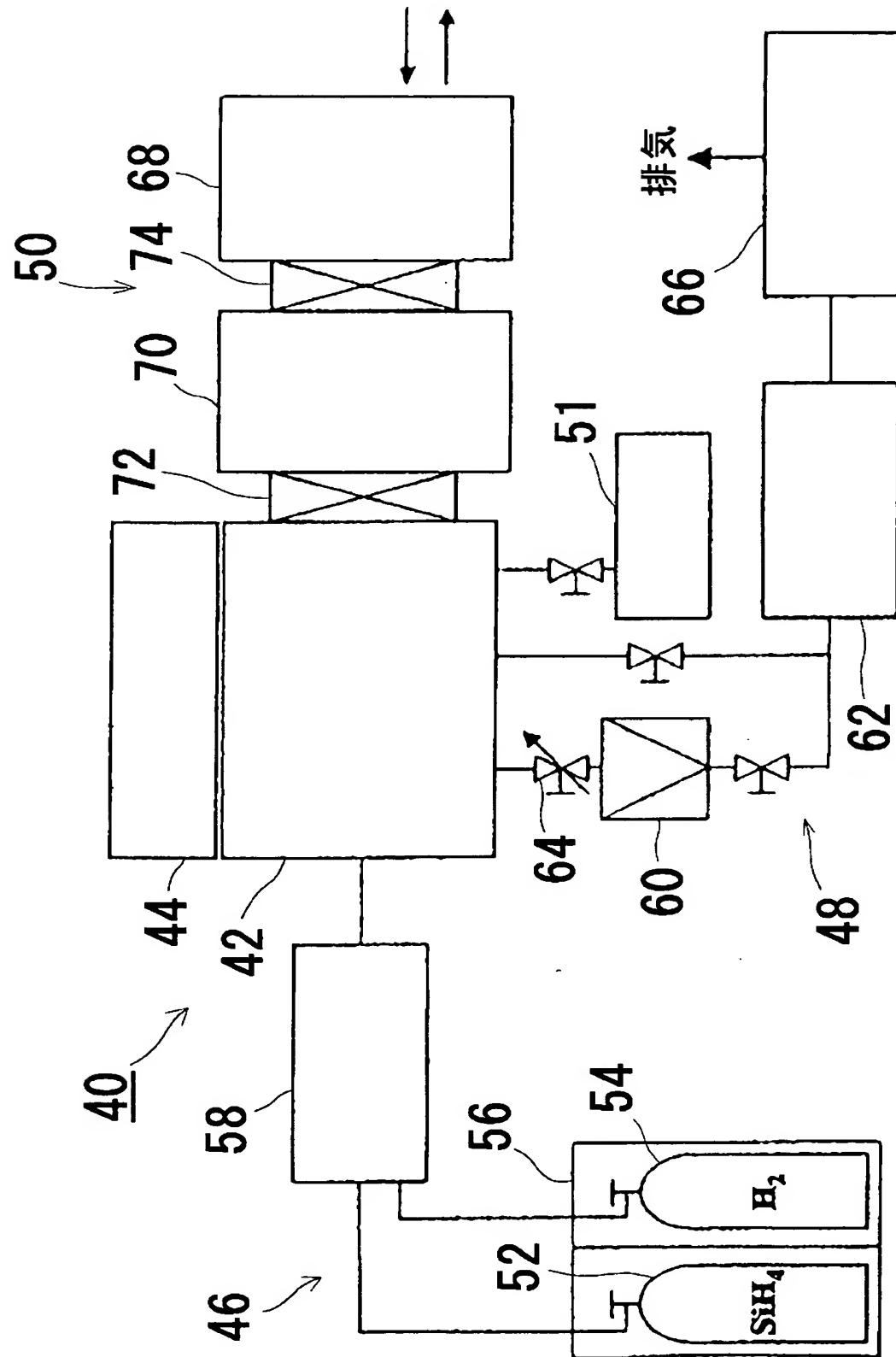
積層欠陥の酸素・炭素濃度依存性



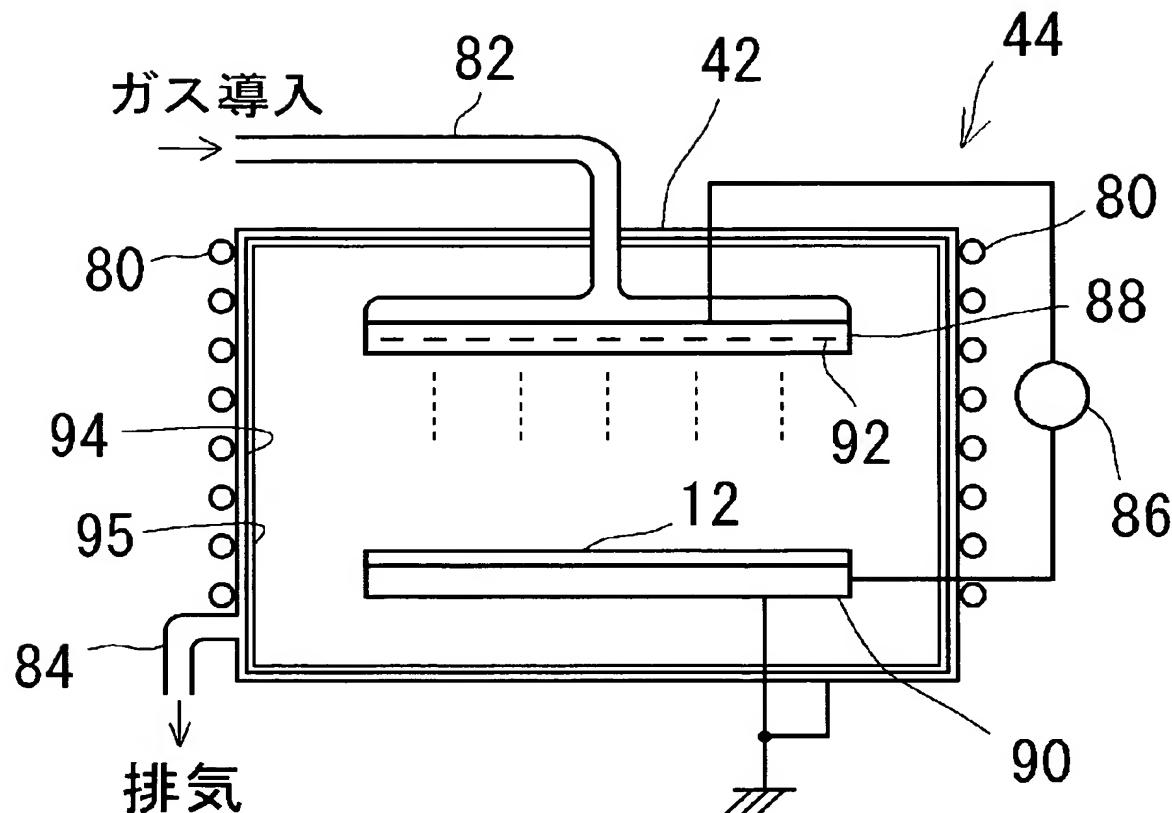
【図8】



【図9】

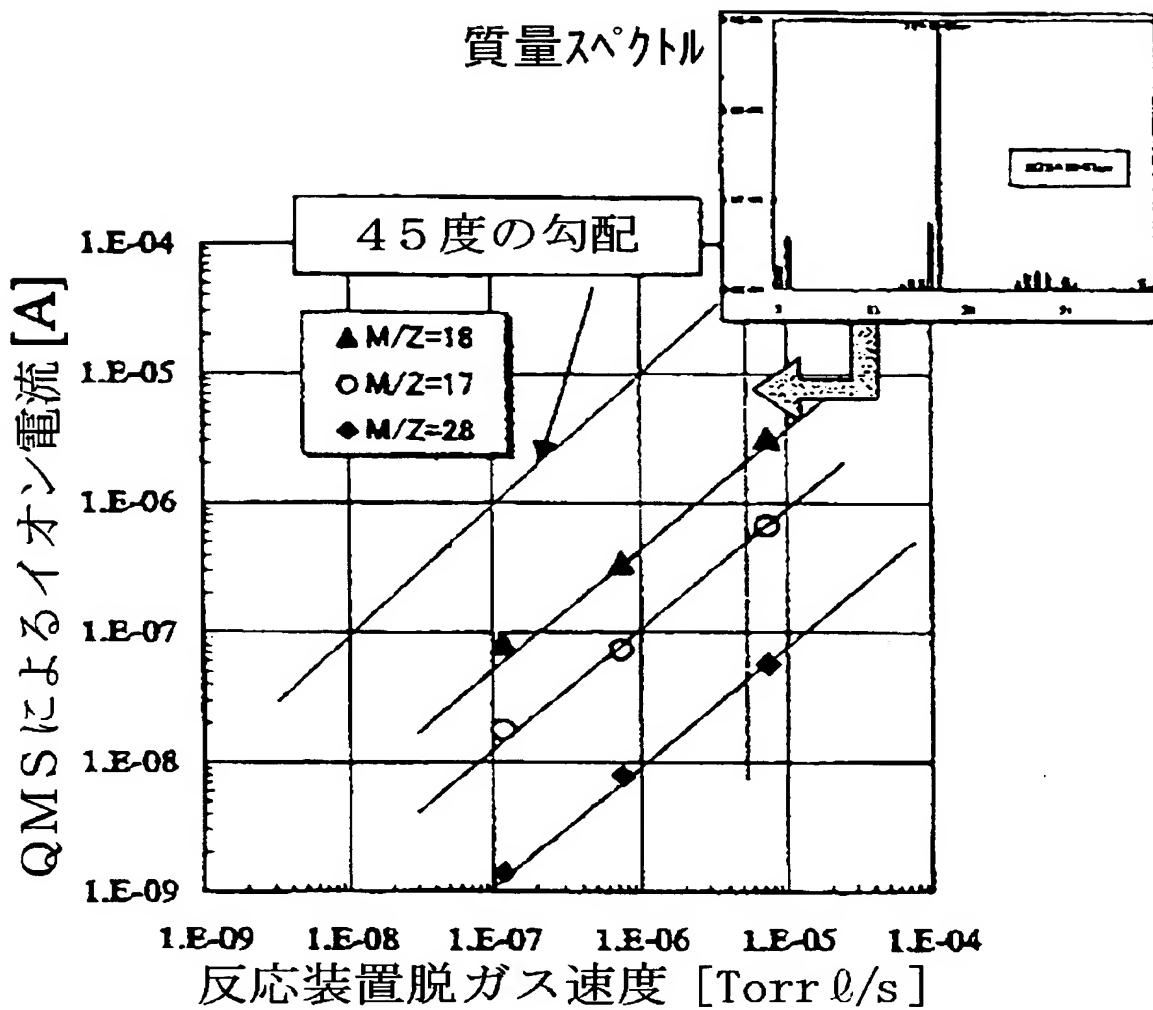


【図10】

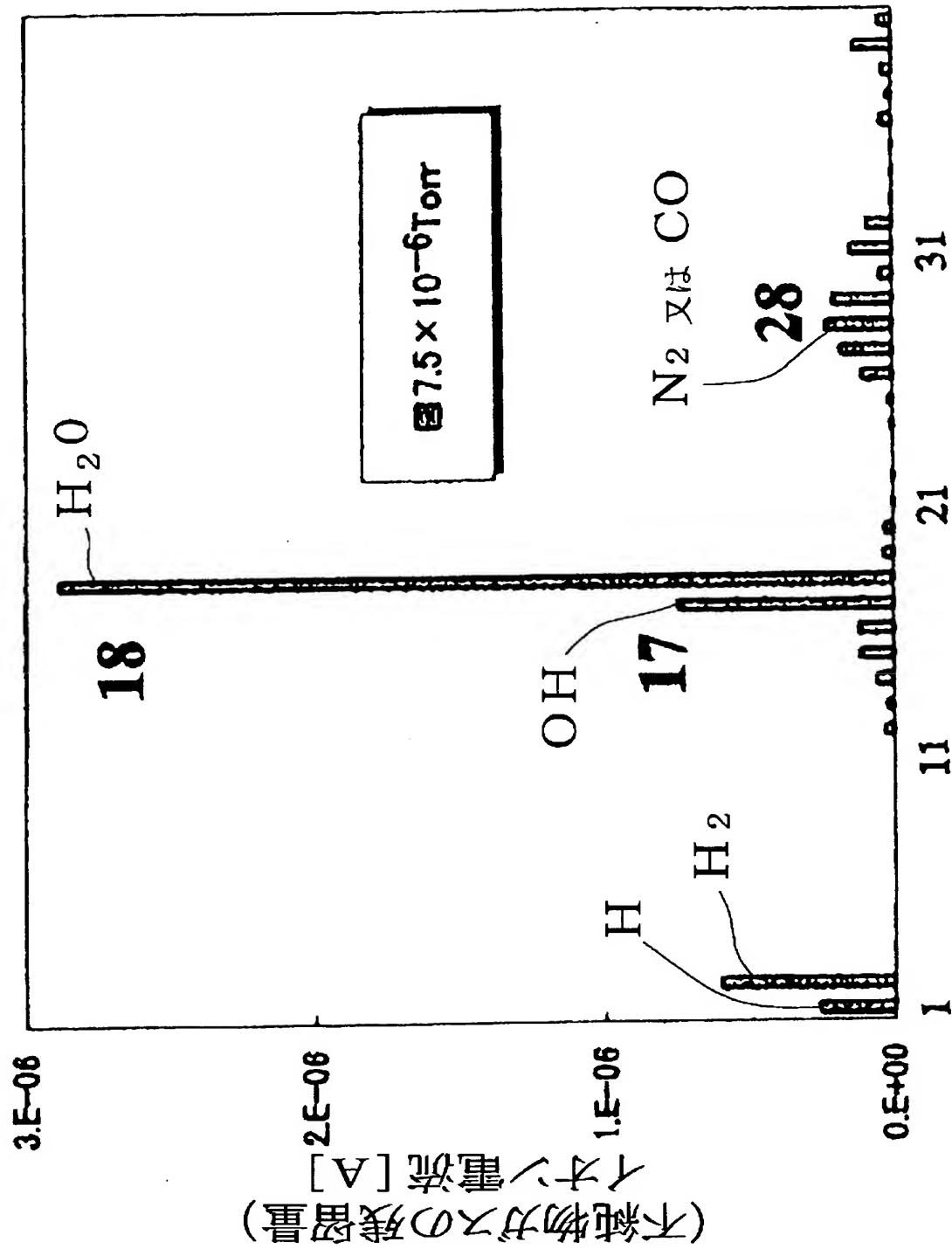


【図11】

チャンバ内の残留ガスの特定

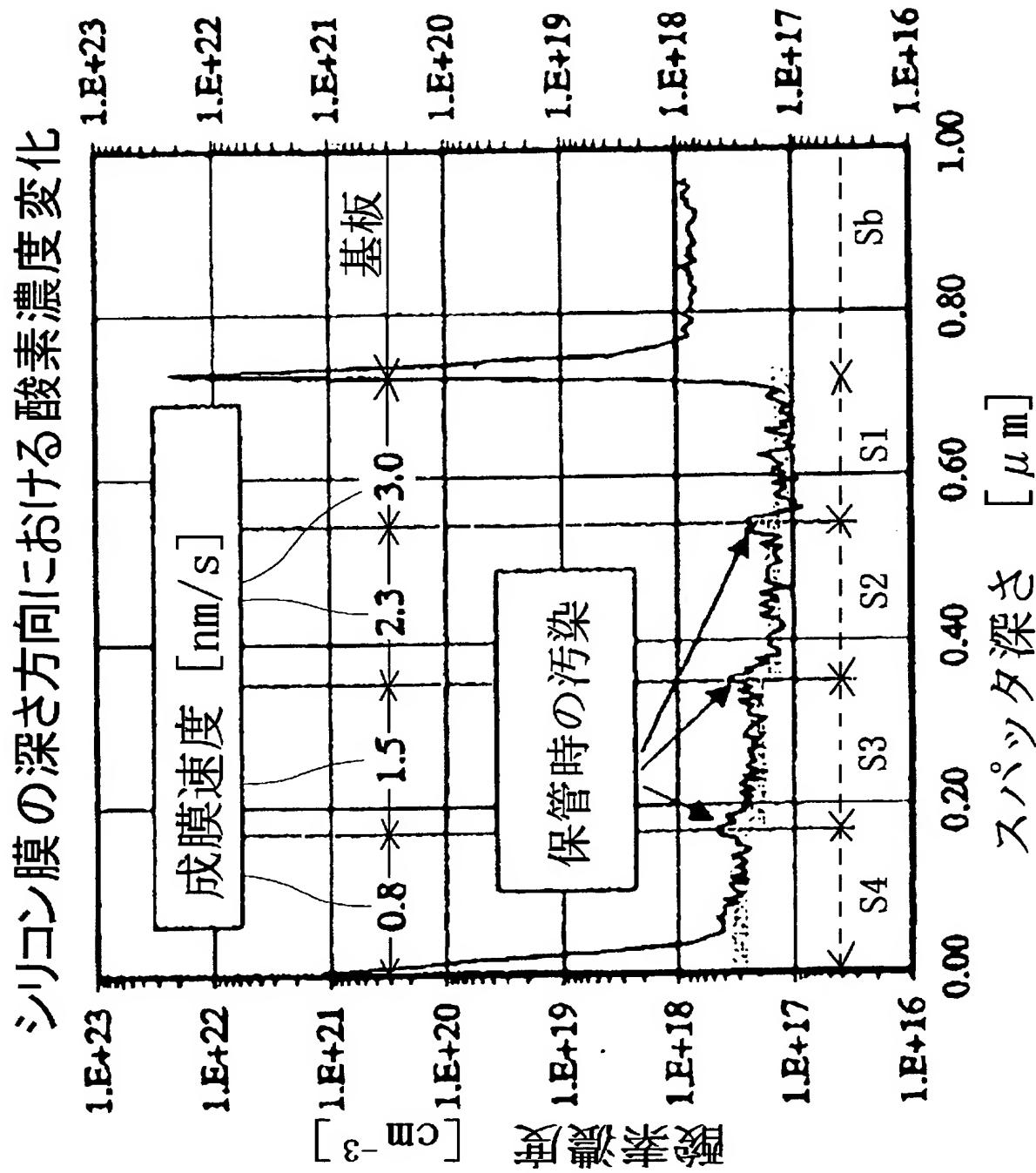


【図12】



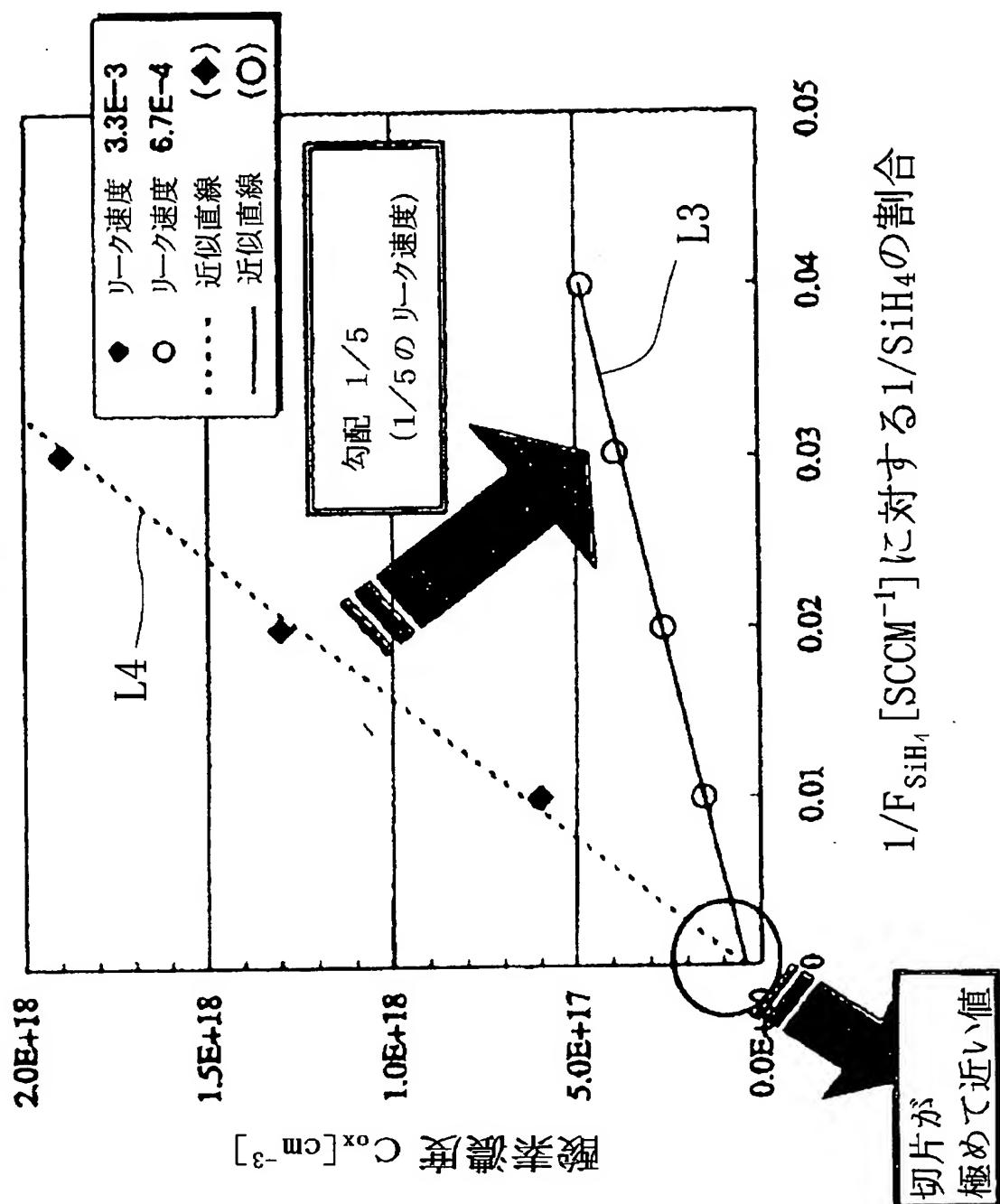
チャンバ内ガスについての M/Z (質量／電荷数)

【図13】

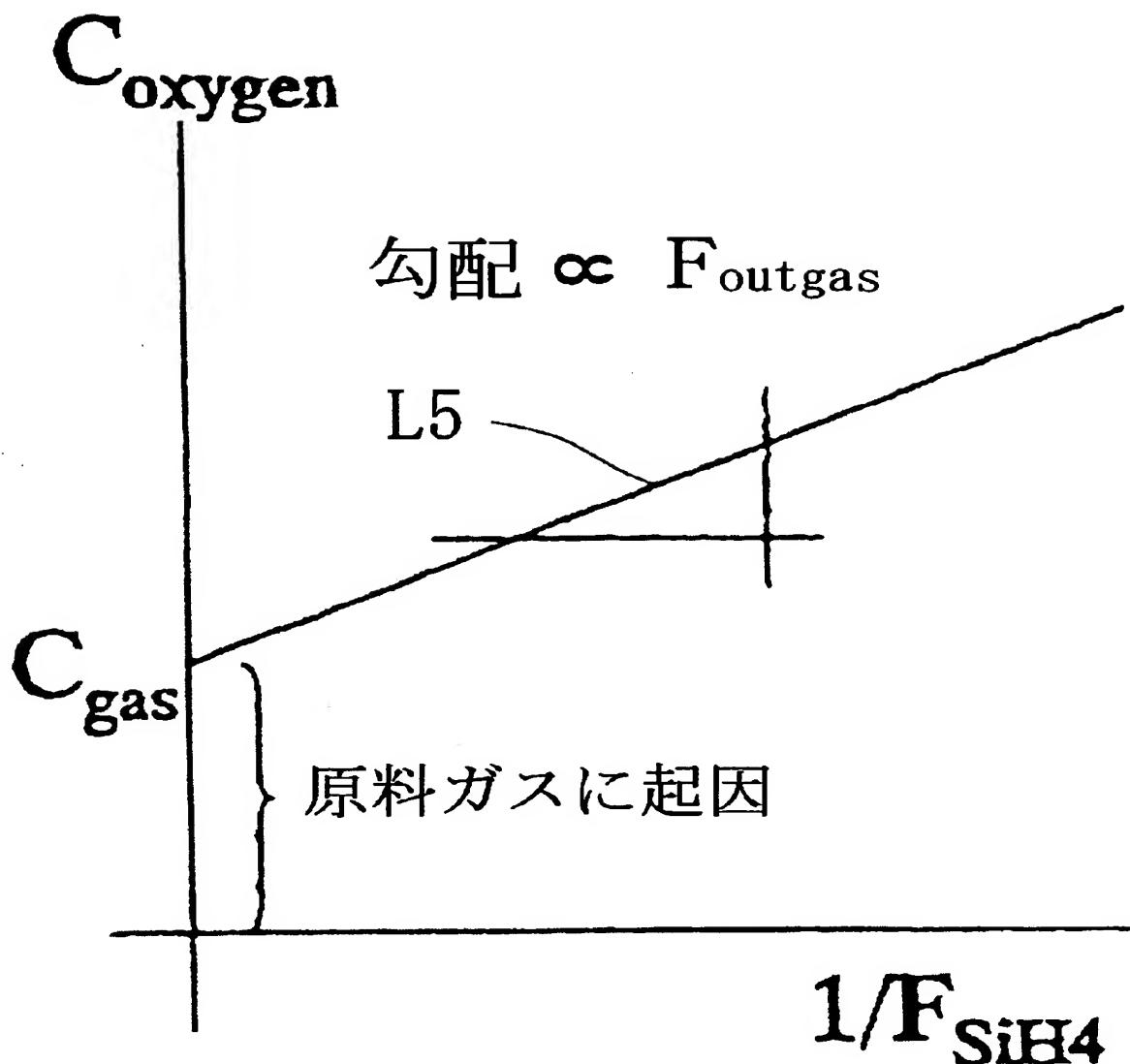


【図14】

種々のリーグ速度における酸素濃度

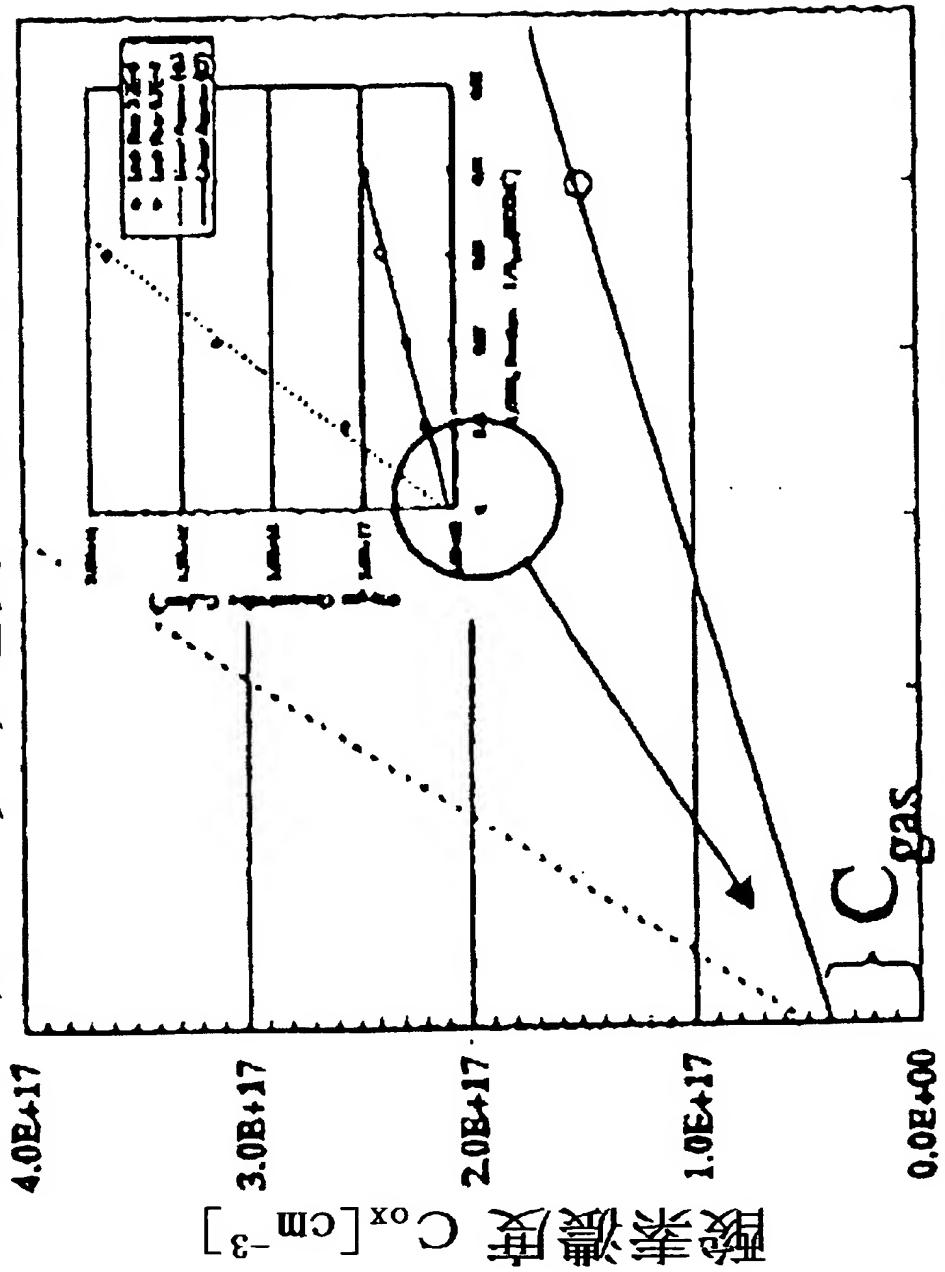


【図15】



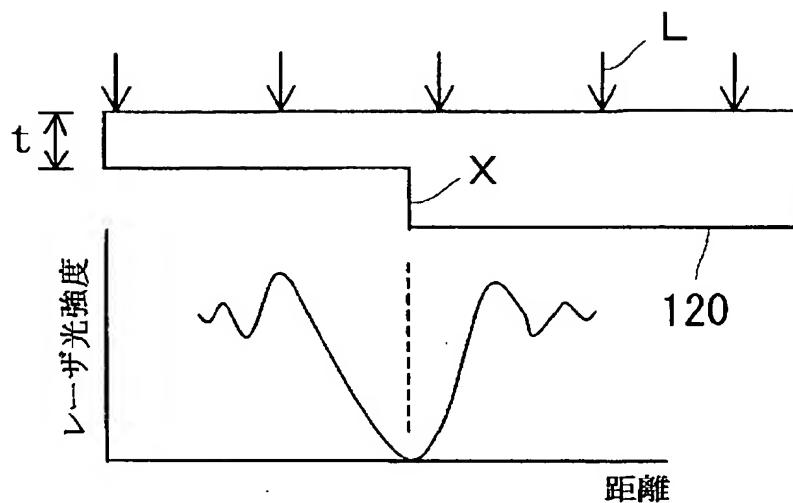
【図16】

種々のリーグ速度における酸素濃度

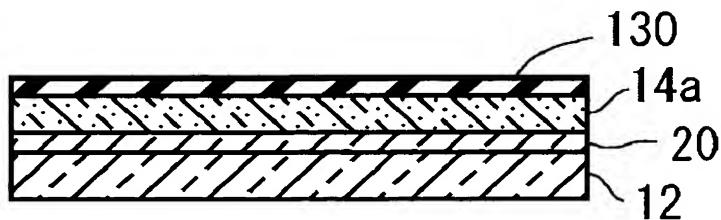


$1/F_{\text{SiH}_4}$ [SCCM⁻¹] に対する $1/\text{SiH}_4$ の割合

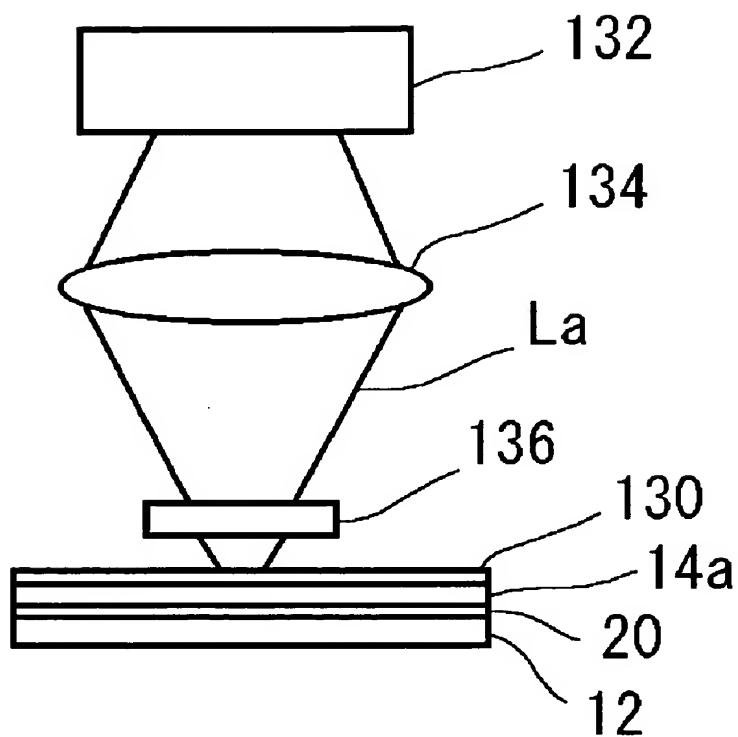
【図17】



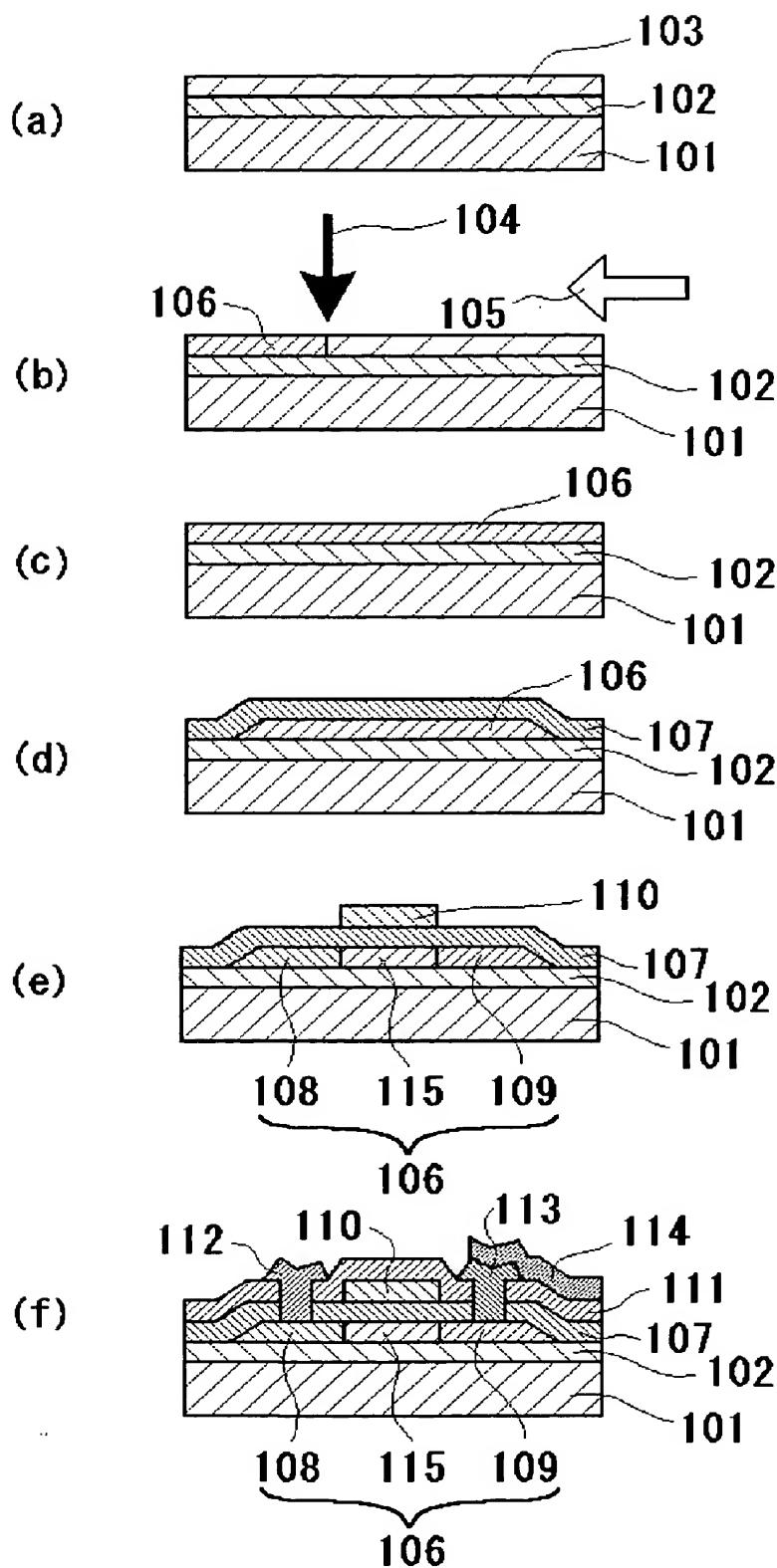
【図18】



【図19】



【図20】



【書類名】 要約書

【要約】

【課題】 電気的な特性が向上された半導体装置および半導体装置の電気的な特性を向上させる半導体装置の半製品ならびに半製品の製造方法および製造装置を提供すること。

【解決手段】 半導体装置の半製品（10）は、基板（12）と、半導体層（14）と、ゲート絶縁層（16）と、ゲート電極層（18）とを含む半導体装置の半製品であって、半導体層は、ゲート電極層の下方または上方に位置する、結晶化されたチャネル領域（22）と、チャネル領域の側方に位置するソース領域（24）およびドレイン領域（26）とを有し、チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む。

【選択図】 図1

特願 2003-121772

出願人履歴情報

識別番号

[501286657]

1. 変更年月日 2001年 7月18日

[変更理由] 新規登録

住 所 神奈川県横浜市戸塚区吉田町292番地
氏 名 株式会社 液晶先端技術開発センター